



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV TELEKOMUNIKACÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF TELECOMMUNICATIONS

PŘIZPŮSOBENÝ FILTR

MATCHED FILTER

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. PETR DVOŘÁK

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. RADIM ČÍŽ, Ph.D.

BRNO 2011



**VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ**

**Fakulta elektrotechniky
a komunikačních technologií**

Ústav telekomunikací

Diplomová práce

magisterský navazující studijní obor
Telekomunikační a informační technika

Student: Bc. Petr Dvořák
Ročník: 2

ID: 98679
Akademický rok: 2010/2011

NÁZEV TÉMATU:

Přizpůsobený filtr

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte principy metod snižujících pravděpodobnost chybného příjmu (opakovaný přenos, korelační přijímač, přizpůsobený filtr) a seznámte se s možnými způsoby realizace příslušných přijímačů. Navrhněte koncepci a konkrétní zapojení laboratorního přípravku, který by umožnil názornou demonstraci přijímače s přizpůsobeným filtrem a vybíjeným integrátorem. Zhotovte prototyp tohoto přípravku, proveďte a zdokumentujte ověřovací měření.

DOPORUČENÁ LITERATURA:

- [1] MATOUŠEK, D. Práce s mikrokontroléry Atmel AVR . Praha : BEN, 2006. 376 s. ISBN 80-7300-209-4.
- [2] DOBEŠ, J., ŽALUD, V. Moderní radiotechnika. Praha : BEN, 2006. 768 s. ISBN 80-7300-132-2.
- [3] ŠEBESTA, V. Teorie sdělování. Brno : VUTUM, 1998. 92 s. ISBN 80-214-1247-X.

Termín zadání: 7.2.2011

Termín odevzdání: 26.5.2011

Vedoucí práce: Ing. Radim Číž, Ph.D.

prof. Ing. Kamil Vrba, CSc.
Předseda oborové rady

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Anotace

Úkolem této práce je prostudovat metody snižování pravděpodobnosti chybového příjmu a navrhnout možné řešení přizpůsobeného filtru. Jako první část práce jsou teoreticky rozebrány tyto metody a následně navrhnuty jejich funkční modely v programu Matlab Simulink. Na těchto modelech je simulováno chování pro různé vstupní hodnoty a na jejich základě je vypracován výstup v závislosti pravděpodobnosti chybného příjmu na SNR u jednotlivých modelů.

Ve druhé části je následně popsán návrh laboratorního přípravku se zaměřením na přizpůsobený filtr. Tento návrh je rozebrán do bloků, které jsou postupně popsány a u kterých jsou přiloženy výstupy z realizace navrhnutého řešení. Dále je podrobně popsána realizace navrhnutého řešení a výsledky dosažené při měření na realizovaném přípravku. Tento přípravek má sloužit ke studijním a laboratorním účelům v rámci výuky předmětu Teorie sdělování.

Klíčová slova

Přizpůsobený filtr, Vybíjený integrátor, ATxmega128A1, Metody snižování pravděpodobnosti chybného příjmu.

Abstract

The main objective of this work is to study methods of reducing BER and suggest possible resolution of matched filter. In the first part, the methods are theoretically analyzed and subsequently their function models are suggested in the computer programme Matlab Simulink. On these models, the behaviour for different input values is simulated and on their basis, the output depending on probability of the false income on SNR for each of models is worked out.

In the second part, the design of the laboratory preparation with a view to the matched filter is described. This suggestion is divided into the parts which are subsequently described and outputs from the implementation of the suggested resolution are added. Thereinafter, the implementation of the proposed resolution and the results achieved at measurement of the realized product are closely described. This product is to be made for educational and laboratory purposes in terms of lessons The Theory of Communication.

Key Words

Matched filter, Discharging integrator, ATxmega128A1, Methods of reducing BER

DVOŘÁK, P. *Přizpůsobený filtr*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2011. 65 s. Vedoucí diplomové práce Ing. Radim Číž, Ph.D..

OBSAH

ÚVOD	7
1. Metody snižování pravděpodobnosti chybného příjmu	8
1.1. Opakovaný přenos	8
1.2. Přizpůsobený filtr	9
1.3. Korelační přijímač	9
2. Návrh simulačních modelů v programu Matlab Simulink	10
3. Blokový návrh zapojení laboratorního přípravku	12
3.1. Řízení	13
3.2. Převod úrovně unipolárního NRZ signálu na bipolární NRZ signál	14
3.3. Filtr typu dolní propust a zesilovač	14
3.4. Součtový zesilovač	16
3.5. Návrh přizpůsobeného filtru a vybíjeného integrátoru	17
3.6. Zpožďovací článek	17
3.7. Rozdílový zesilovač	19
3.8. Integrátor	20
3.9. Vzorkování a komparace výstupního signálu	22
3.10. Napájecí zdroj	23
3.11. Použité integrované obvody	24
4. Návrh celkového zapojení a konstrukce laboratorního přípravku	27
4.1. Redukce mikroprocesoru	28
4.2. Ovládací část s tlačítky	28
4.3. Hlavní deska	29
4.4. LCD displej	29
4.5. Přístrojový panel	30
5. Program pro řízení laboratorního přípravku	30
5.1. Inicializace	31
5.2. Přerušování	32
5.3. Spuštění přenosu	34
5.4. Statická data	35
6. Realizace a oživení přípravku	35
6.1. Elektronická část	35
6.2. Konstrukční část	38
7. Ovládání přípravku	39
8. Měření	41
ZÁVĚR	45
POUŽITÁ LITERATURA	46
Seznam zkratk	47
Seznam obrázků	48
Seznam tabulek	49
Seznam tabulek	49
Seznam příloh	50

ÚVOD

Úkolem této práce je prostudovat metody snižování pravděpodobnosti chybného příjmu, navrhnout možné zapojení laboratorního přípravku, návrh realizovat na kontaktním poli, na kterém budou odladěny chyby a nedostatky, a realizovat navržený laboratorní přípravek. V poslední části práce je nutné ještě uskutečnit měření pro ověření správnosti všech požadovaných parametrů.

Jelikož je cílem práce konkrétní výrobek, který bude sloužit v laboratořích pro výukové účely studentů, musí být odolný nešetrnému zacházení a neopatrné manipulaci, jako například připojení nesprávného napájecího napětí nebo zkratování výstupních svorek na zem. Zároveň musí být intuitivní na ovládání, přehledné a výstupy z měření musí být vypovídající o principu činnosti měřeného bloku. Laboratorní přípravek by tedy měl obsahovat pouze prvky pro možnost jednoduchého připojení a nastavení před měřením, nikoliv však prvky pomocí kterých by muselo být zařízení před každým měřením kalibrováno. Celkové zapojení by mělo mít pokud možno jednodušší charakter a výsledný přípravek by měl být v jednom monolitickém bloku.

Při návrhu zapojení není možné předejít všem chybám a nedostatkům a tak bude před realizací na kontaktním poli ověřena funkčnost návrhu. Realizace na kontaktním poli ovšem nemusí předejít všem nedostatkům a tak i konkrétní prototyp může obsahovat některé neodhalené chyby, které bude nutno řešit až po zhotovení konkrétního výrobku.

Ověřením funkčnosti celého výrobku by mělo být závěrečné měření obsahující porovnání s teoretickými předpoklady a případná analýza odlišností.

1. Metody snižování pravděpodobnosti chybného příjmu

Pro datový přenos je zpravidla žádoucí, aby mohl být uskutečňován na co největší vzdálenost. Tato vzdálenost je v reálném provozu ovšem omezena několika faktory jako například kvalita přenosového prostředí, která může způsobovat úbytek vysílacího výkonu užitečného signálu. Dále omezení vysílacího výkonu z důvodu vzájemného rušení dvou zařízení nebo také rušení užitečného signálu zdrojem rušení. Těchto faktorů je celá řada a nelze je jednoduše zcela odstranit. S rostoucí vzdáleností tedy klesá úroveň užitečného signálu a přibývá rušení, které následně způsobuje chyby v přenosu dat. Množství přijatých chyb lze vyjádřit chybovostí BER, jako podíl přijatých chybných a všech přijatých bitů [2].

$$BER = \frac{N_E}{N} = \frac{N_E}{R \cdot t} \quad (-) \quad (1.1)$$

kde N_E ...počet chybně přijatých bitů,
 N ...počet všech přijatých bitů,
 R ...přenosová rychlost, (bit/s)
 t doba přenosu. (s)

Pro optimální a tudíž bezchybný přenos dat je nutné, aby toto rušení bylo co nejmenší a užitečný signál co největší. Poměr těchto dvou signálů je vyjádřen veličinou SNR, což je poměr výkonu signálu k výkonu šumu. Pokud je tento poměr dostatečně velký, není potřeba nasazení žádných metod pro odstranění šumu z užitečného signálu a přenos dat má i přesto nízkou, v ideálním případě nulovou chybovost. Jestliže se ovšem začne SNR snižovat, je nutno použít některou z metod snížení chybného příjmu, mezi které patří:

1. opakovaný přenos,
2. přizpůsobený filtr,
3. korelační přijímač,
4. korelační kódování.

1.1. Opakovaný přenos

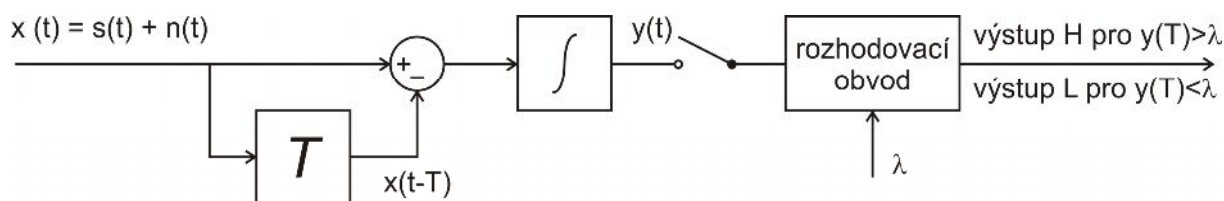
Mezi nejjednodušší metody patří opakovaný přenos. Při tomto přenosu je posloupnost dat odeslána několikrát po sobě a za úspěšně přenesenou posloupnost je považována ta s největším výskytem v příjmu. Tato metoda vnáší do přenosu větší redundanci a zpoždění.

Dalším způsobem jak snížit chybovost při přenosu je snížit úroveň přijímaného šumu. Pokud je přenos uskutečňován v úzkém frekvenčním pásmu, je možné úroveň šumu snížit frekvenčními filtry a na vstup přijímače tak pouštět jen část frekvenčního pásma, na kterém je

přenos uskutečněn. Pokud je ovšem zarušení v pásmu, kde se uskutečňuje přenos dat, pak je zapotřebí použít některou z následujících metod.

1.2. Přizpůsobený filtr

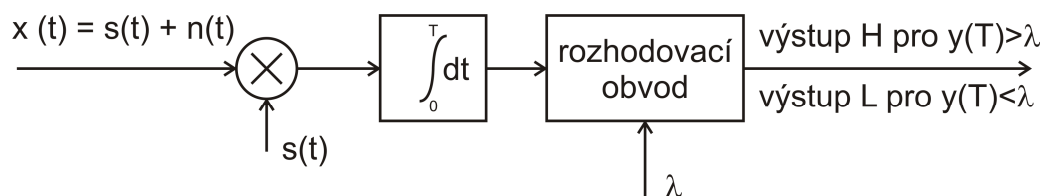
Na obr. 1 je nakreslen přijímač s kmitočtovou filtrací realizovanou přizpůsobeným filtrem pro pravoúhlý impulz. Na jeho vstup se přivádí signál $x(t)$, který je součtem užitečného signálu $s(t)$ a bílého aditivního šumu s normálním (Gaussovým) rozdělením. Pokud se jedná o užitečný signál v podobě bipolárního NRZ signálu, má přizpůsobený filtr tu vlastnost, že v určitém okamžiku, během každé bitové periody, dosáhne maximálního SNR. Tento okamžik nastává vždy v době $t = T$, kde t je doba integrace a T je symbolová perioda. Za tímto filtrem následuje vzorkovač, který právě v době t navzorkuje signál a pomocí rozhodovacího obvodu, jenž následuje, se rozhodne na základě stanovené optimální rozhodovací úrovně λ o výsledném stavu. Pokud má vzorek větší úroveň než je úroveň rozhodovací, objeví se na výstupu vysoká úroveň, která vypovídá o tom, že kromě šumu je na vstupu přizpůsobeného filtru i užitečný signál odpovídající přenášenému bitu 1. Pro úroveň menší než úroveň rozhodovací platí vše obráceně, což znamená, že se na výstupu objeví nízká úroveň odpovídající přenášenému bitu 0 [1].



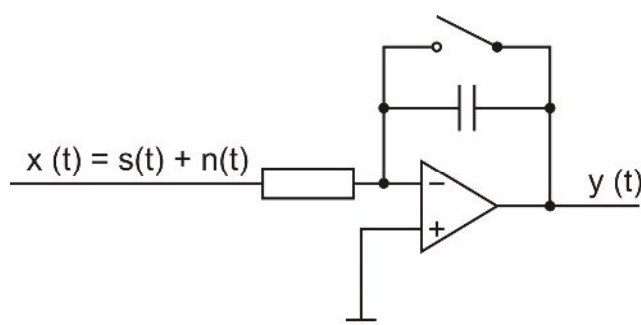
Obr. 1: Přijímač s kmitočtovou filtrací realizovanou přizpůsobeným filtrem pro pravoúhlý impulz

1.3. Korelační přijímač

Dalším způsobem jak zvýšit SNR je použití korelačního přijímače, který je na obr. 2. Na vstupu korelačního přijímače je analogová násobička spolu s integrátorem plnící funkci korelátoru. Vstupní signál $x(t)$ je tak korelován se známou replikou užitečného signálu $s(t)$, který je uložen v paměti přijímače. V případě bipolárního NRZ signálu lze tento korelátor realizovat pomocí vybíjeného integrátoru nakresleného na obr. 3. Jde o integrační článek, jenž je nastaven na nulovou hodnotu v době $t = T$, kde t je doba integrace a T je symbolová perioda. Dále je pak rozhodování stejné jako v předchozím případě u přizpůsobeného filtru. Vzorek je odebírán před nastavením integrátoru na nulovou hodnotu a rozhodování o výsledném stavu probíhá na základě stanovené optimální rozhodovací úrovně λ [2].



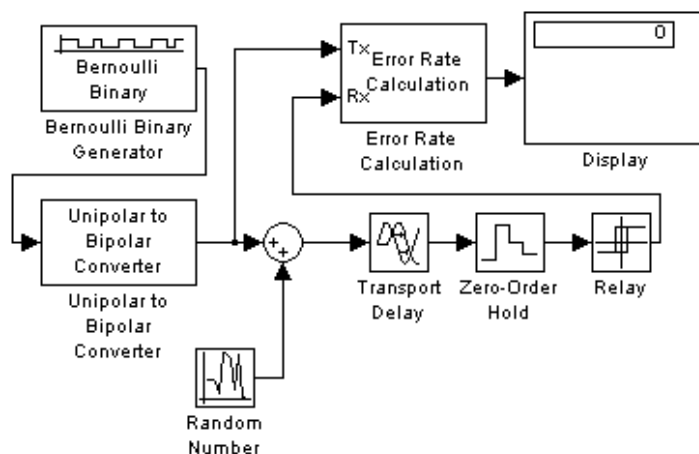
Obr. 2: Korelační přijímač



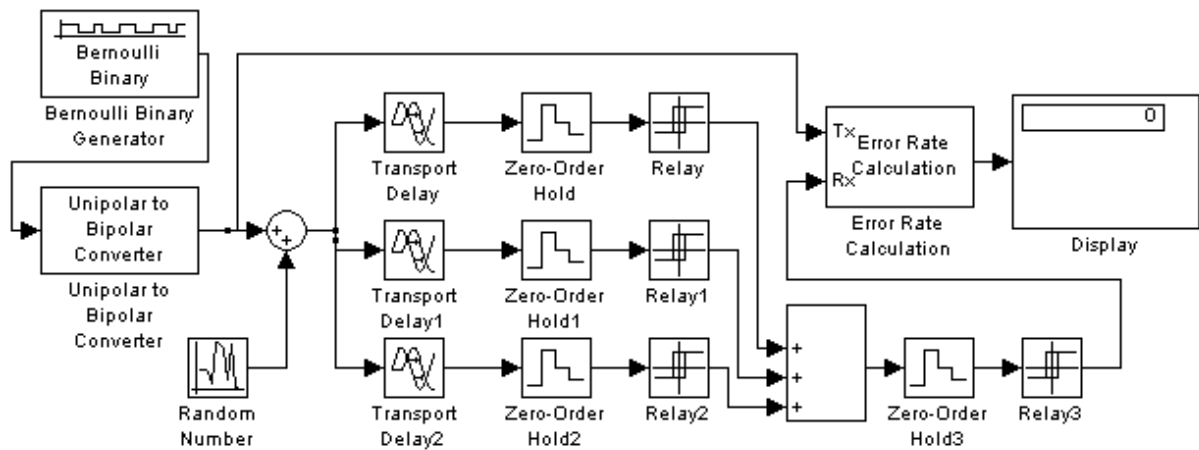
Obr. 3: Realizace korelačního přijímače pomocí vybíjeného integrátoru

2. Návrh simulačních modelů v programu Matlab Simulink

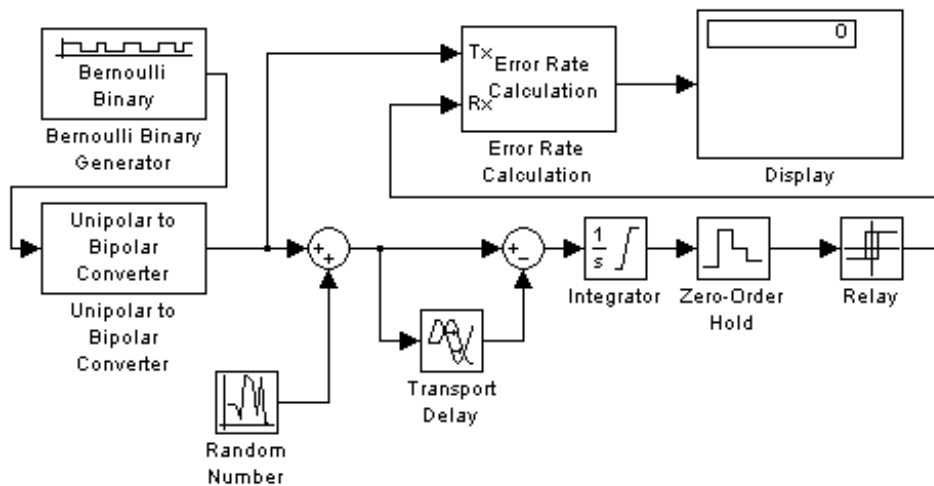
V programu Matlab Simulink byl proveden návrh zapojení jednotlivých metod snížení pravděpodobnosti chybovosti pro simulaci přenosu dat při různých úrovních šumu. Na těchto modelech, zobrazených na následujících obrázcích, byl simulován přenos délky 500 bitů o úrovni užitečného signálu ± 1 V s přičítáním šumu o úrovních 0,2 až 200 V.



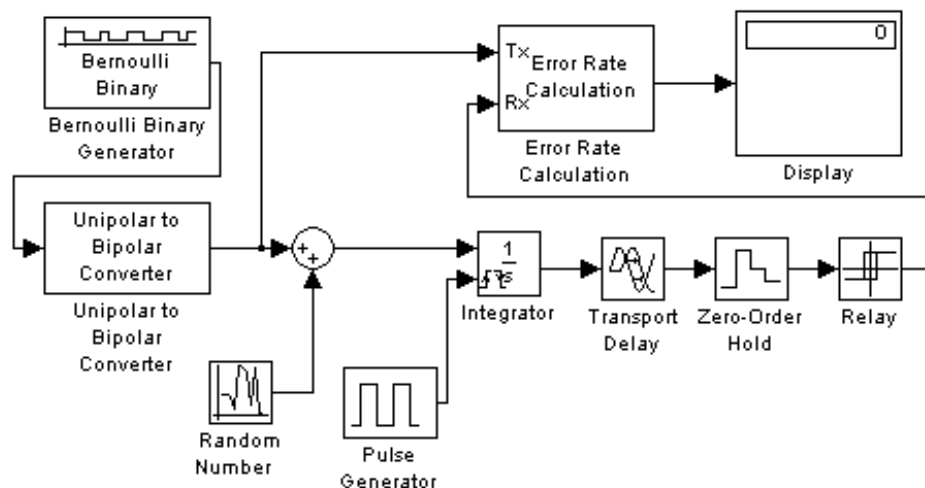
Obr. 4: Model programu Matlab Simulink – přímý přenos [2]



Obr. 5: Model programu Matlab Simulink – přenos s trojnásobným opakováním



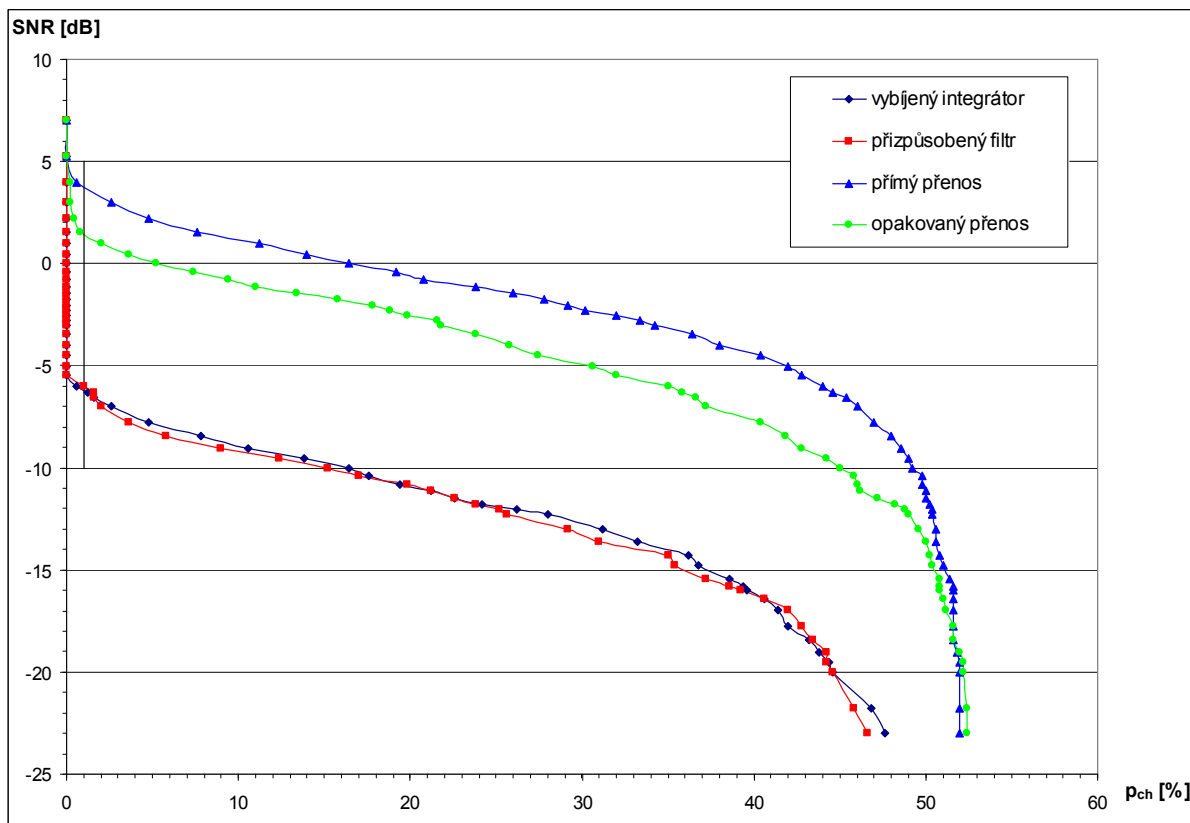
Obr. 6: Model programu Matlab Simulink – přenos s využitím přizpůsobeného filtru [2]



Obr. 7: Model programu Matlab Simulink – přenos s využitím vybíjeného integrátoru [2]

Výsledek této simulace je zobrazen na obr. 8. Zde je vidět závislost SNR na pravděpodobnosti chybného příjmu v procentech. Pro jednocentní chybovost je při odečtu

z grafu vidět, že pro přímý přenos bez použití některé z metod může dosahovat SNR maximálně 4 dB, na rozdíl od opakovaného přenosu, kde je možné dosáhnout až na hodnotu 1,5 dB. V případě vybíjeného integrátoru a přizpůsobeného filtru jsou hodnoty hodně podobné. To vyplývá z principu funkce a svědčí to o velké příbuznosti těchto metod, u kterých se pohybuje SNR na hranici -6 dB při dosažení jednoprocentní chybovosti.



Obr. 8: Grafické znázornění závislosti chybovosti na SNR pro jednotlivé metody snížení pravděpodobnosti chybného příjmu

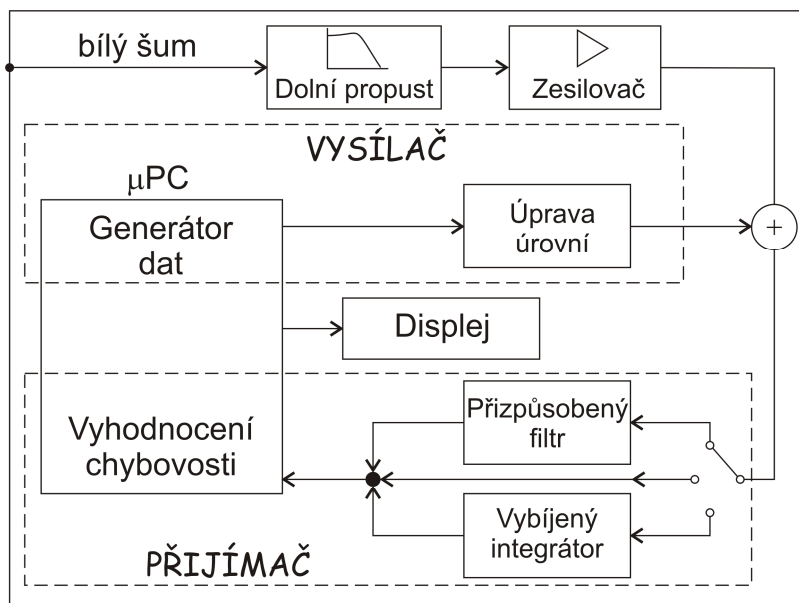
U vytvořených modelů byl použit Bernoulliho binární generátor dat ve spojení s blokem pro převod z unipolárního na bipolární signál. Tento generátor vytváří pseudonáhodná binární data s Bernoulliho rozdělením. Jako zdroj šumu je použit generátor pseudonáhodných čísel s normálním (Gaussovým) rozdělením.

Přenos s trojnásobným opakováním byl řešen třemi signálovými cestami s různým zpožděním tak, aby se vzorky braly vždy na začátku, uprostřed a na konci signálové periody. Tyto vzorky jsou následně sečteny a výsledek porovnán s nulovou úrovní. Takto se provede průměr tří hodnot, který musí být vždy nenulový.

3. Blokový návrh zapojení laboratorního přípravku

Při návrhu laboratorního přípravku se postupovalo po jednotlivých blocích uvedených v celkovém blokovém zapojení na obr. 9. Celkový problém návrhu se tak rozpadá na několik

menších problémů, které se ovšem snadněji řeší. Dva z bloků obsažených na tomto zapojení, přizpůsobený filtr a blok ovládání, jsou dále podrobněji rozebrány, protože v sobě stále zahrnují složitější řešení.



Obr. 9: Blokové zapojení laboratorního přípravku

3.1. Řízení

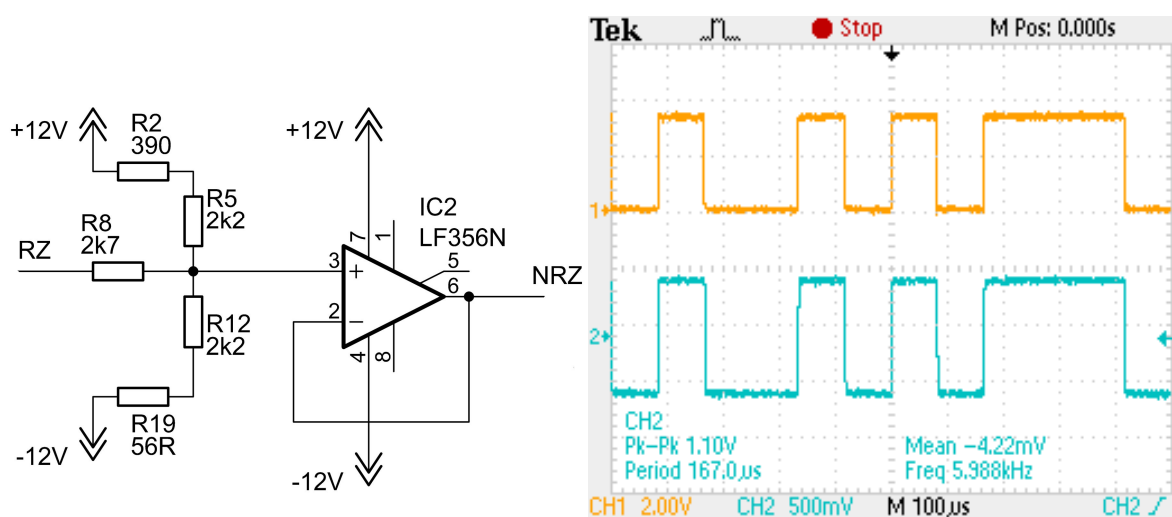
Jádrem ovládání je mikroprocesor ATxmega 128A1 [3], který se stará o tyto funkce:

1. obsluhu tlačítek připojených na vstupní porty procesoru,
2. výpis nastavení pro přenos dat,
3. generování datových posloupností,
4. přepínání cesty pro příjem přenášených dat,
5. časové zpoždění v přizpůsobeném filtru,
6. vybíjení integrátoru,
7. vzorkování signálu,
8. příjem přenášených dat
9. a vyhodnocení chybovosti při přenosu.

Výběr tohoto obvodu je založen na bohaté výbavě rozšíření a periférií, jako je prezence A/D i D/A převodníků, přímý přístup do paměti a maximální pracovní kmitočet 32 MHz. Díky těmto možnostem je ideálním pro použití v navrhovaném laboratorním přípravku.

3.2. Převod úrovně unipolárního NRZ signálu na bipolární NRZ signál

Mikroprocesor, který generuje posloupnost dat pro přenos, používá ke své funkci pouze unipolární napájení o maximální velikosti 3,3 V. Z toho důvodu se na výstupních portech procesoru může objevit pouze unipolární napětí o hodnotách 0 – 3,3 V. Tento výstup je tedy nutné upravit tak, aby výstupní napětí bylo v rozsahu $\pm 0,5$ V. Toho je docíleno odporovým děličem připojeným na napájecí napětí. Na výstupu odporového děliče je bipolární signál s rozkmitem $\pm 0,5$ V. Následuje operační zesilovač (OZ) zapojený ve funkci sledovače napětí. Ten je zde připojen pro svůj relativně nízký výstupní odpor, jelikož odporový dělič má vysoký vnitřní odpor a připojená zátěž by mohla ovlivnit výsledný průběh. Na obr. 10 lze vidět zapojení tohoto komparátoru a vpravo jsou zachyceny napětěvé průběhy pořízené osciloskopem TDS 2002 firmy Tektronix. První kanál byl připojen na vstup odporového děliče a druhý na výstup OZ.



Obr. 10: Zapojení OZ pro převod napětěvých úrovní (vlevo) a průběhy vstupního a výstupního signálu (vpravo)

3.3. Filtr typu dolní propust a zesilovač

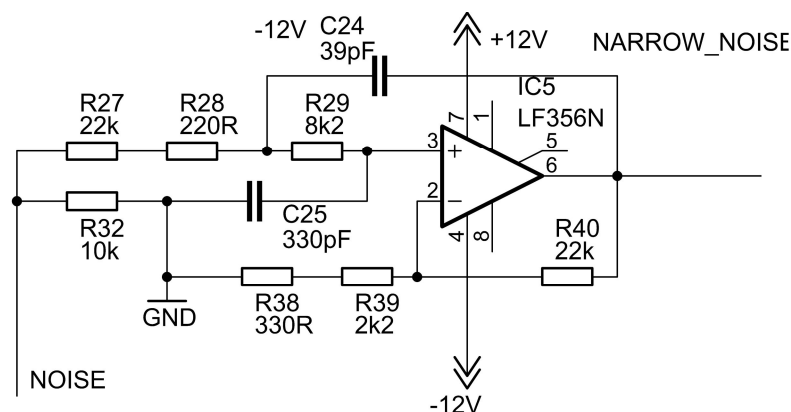
Jelikož by bylo realizačně hodně náročné pracovat s šířkou pásma více než 10 MHz, byl na vstup zařazen filtr typu dolní propust, který šířku pásma upraví na maximální přípustnou hodnotu. S omezením šířky pásma ovšem dochází k potlačení celkového rozkmitu přiváděného signálu, proto je za filtr zařazen zesilovač, který tento rozkmit zvýší tak, aby byly hodnoty distribuční funkce alespoň podobné s hodnotami distribuční funkce původního signálu. Tyto dva bloky jsou sdruženy v jeden a to tak, že dolní propust byla navržena se zesílením v propustném pásmu. Návrh dolní propusti byl proveden v programu FilterPro Desktop firmy

Texas Instrument. Jde o velmi jednoduchý, ale za to efektivní nástroj pro návrh aktivních analogových frekvenčních filtrů. Hlavní součástí je operační zesilovač LF356N [4]. Volba tohoto obvodu byla s ohledem na dostupnost, parametry a cenu, protože jeho využití v celém zapojení je několikanásobné. Mezní kmitočet dolní propusti byl zvolen na 100 kHz a to s ohledem na maximální rychlost analogových převodníků použitých v přizpůsobeném filtru a na vyhodnocení chybovosti ve funkci vzorkovače. V propustném pásmu má dolní propust napěťové zesílení 9,7. Toto zesílení je určeno poměrem odporového děliče připojeného na invertující vstup a to podle následujícího vztahu:

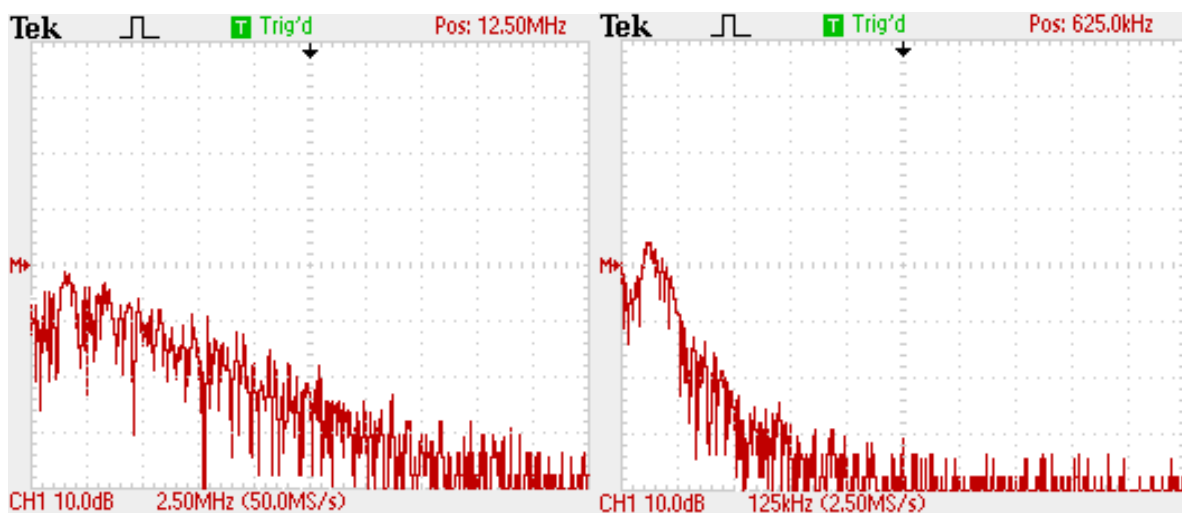
$$A_U = 1 + \frac{R_{13}}{R_{14}} \quad (-) \quad (1.2)$$

Dolní propust je druhého řádu, což znamená, že v nepropustném pásmu má charakteristika sklon -40 dB/dek.

Na obr. 12 vlevo je vidět spektrální analýza šumu vytvářeného generátorem Agilent 33220A. Ten má mezní frekvenci na 10 MHz. Na obr. 12 vpravo je pak spektrální analýza výstupního signálu za dolní propustí s mezní frekvencí 100 kHz.



Obr. 11: Aktivní frekvenční filtr typu dolní propust

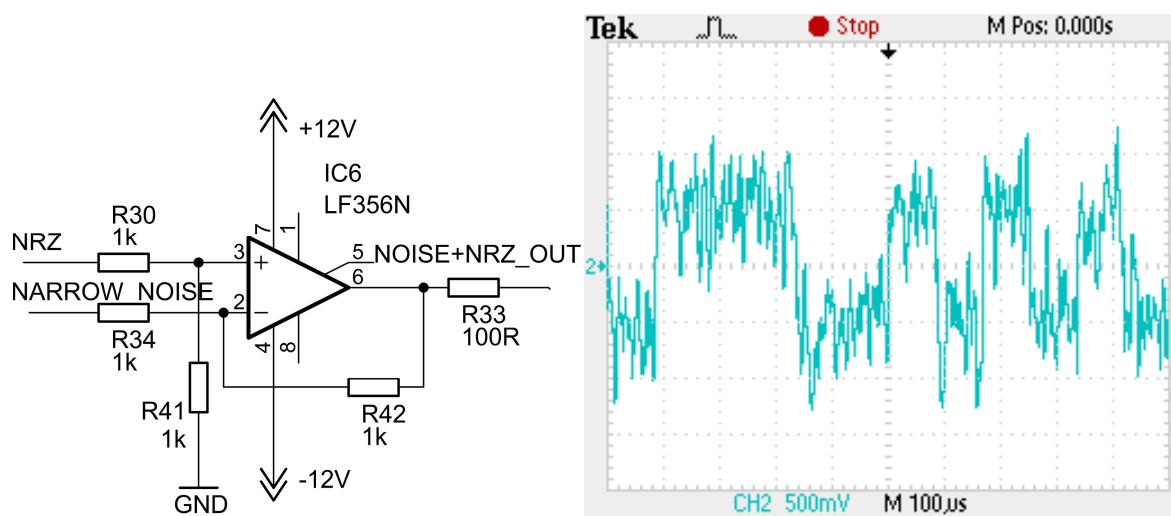


Obr. 12: Spektrální analýza šumu vytvářeného generátorem Agilent 33220A (vlevo) a spektrální analýza šumu filtrovaného dolní propustí (vpravo)

3.4. Součtový zesilovač

Klasické zapojení součtového zesilovače s OZ využívá invertující vstup a tak všechny sčítané signály invertuje. Jelikož je zapotřebí užitečný signál přenést neinvertovaný a zároveň k tomu přičíst šum, je nutné využít neinvertujícího vstupu OZ. V případě šumu tento požadavek není nutný, a proto bylo použito OZ v zapojení rozdílového zesilovače, přičemž na neinvertující vstup je přiveden užitečný signál a na invertující vstup je přiveden šum. Aby byl u obou vstupních signálů přenos jednotkový, mají odpory stejnou velikost a to $1\text{k}\Omega$. Na výstupu je pak připojen ještě omezovací odpor pro ochranu výstupu operačního zesilovače.

Na obr. 13 je vidět zapojení rozdílového zesilovače a výsledek součtu užitečného signálu s rozkmitem $\pm 0,5\text{V}$ a šumu o efektivní hodnotě $0,2\text{V}$.



Obr. 13: Zapojení rozdílového zesilovače (vpravo) a průběh výstupu (vlevo)

3.5. Návrh přizpůsobeného filtru a vybíjeného integrátoru

Na vstup přizpůsobeného filtru je přiváděn součet užitečného signálu se šumem. Užitečný signál je v podobě NRZ signálu v rychlostech 1, 8 a 12 kbit/s s rozkmitem $\pm 0,5$ V. K tomuto signálu je přičítán šum přiváděný z generátoru Agilent 33220A, který generuje šum s normálním (Gaussovým) rozdělením s šířkou pásma 10 MHz a maximálním rozkmitem napětí ± 10 V. Z tohoto zadání vyplynulo několik podmínek pro návrh přizpůsobeného filtru:

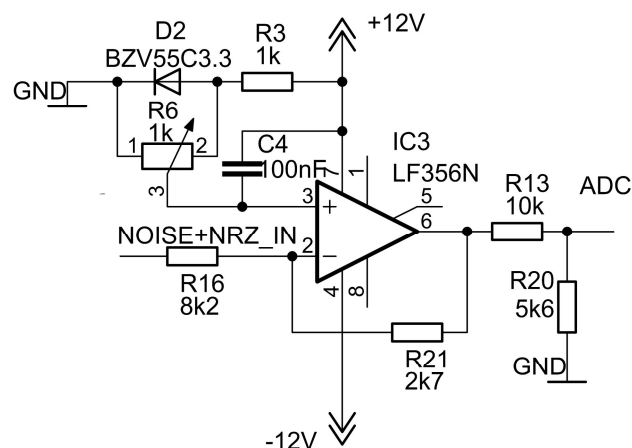
1. vstupní napětí v rozmezí $\pm 10,5$ V (součet napětí užitečného signálu a maximální hodnoty šumu),
2. zpoždění zpoždovacího článku o velikosti jedné periody užitečného signálu v krocích 1000, 125 a 83,3 μ s,
3. integrační doba o délce jedné periody užitečného signálu.

Přizpůsobený filtr je v této aplikaci použit pro bipolární NRZ signál, který je při vyhodnocování stavů přijímačem porovnáván s nulou. Jestliže je výsledek v kladných hodnotách, byla přijata jednička, pokud je výsledek v záporných hodnotách, byla přijata nula.

3.6. Zpoždovací článek

Součástí přizpůsobeného filtru je zpoždovací článek. Tento článek zpožďuje celkový signál o délku jedné periody užitečného signálu a to v závislosti na přenosové rychlosti. Jelikož toto zpoždění dosahuje až 1 ms, padla volba na digitální zpracování signálu procesorem pomocí integrovaných A/D a D/A převodníků. Tyto převodníky sice nevykazují excelentní parametry pro zpracování signálů, ale pro tuto aplikaci jsou dostačující, jelikož se neklade žádný důraz na celkové zkreslení signálu.

Před navzorkováním signálu procesorem je nutné jej upravit na napěťové úrovni A/D převodníku a to 0 – 2,1 V. Tuto funkci plní obvod nakreslený na obr.14. OZ je zde zapojen jako invertující zesilovač. Jelikož výstupní napětí má být pouze v kladných úrovních, je nutné vstupní signál ztlumit a stejnosměrně posunout. Ztlumení vstupního signálu je provedeno odpory R16 a R21 a následně ještě na výstupu zesilovače odporovým děličem R13 a R20. Jako referenční napětí připojené na neinvertující vstup je použito kladné napětí +1,05 V což je přesně polovina z požadovaného rozkmitu výstupního napětí. Toto napětí je vytvořeno pomocí Zenerovy diody D2 s předřadným odporem R3. Přesná úroveň je nastavitelná trimrem R6 zapojeným jako odporový dělič. Výsledné referenční napětí je ještě filtrováno kondenzátorem C4. Odporový dělič zařazený na výstupu OZ je určen k přesnější úpravě výstupního signálu do požadovaných mezí 0 – 2,1 V. Takto upravený signál je přiveden na A/D převodník mikroprocesoru.



Obr. 14: Zapojení operačního zesilovače pro úpravu úrovně signálu pro A/D převodník

Vzorkování signálu je prováděno rychlostí 1 MS a rozlišením 12 bitů. Pro převod se využívá referenční napětí odvozené od napájecího napětí. Výsledek převodu je uložen do výstupního registru převodníku. Při inicializaci je v paměti vyhrazen prostor, kam se budou po spuštění přenosu dat ukládat vzorky, tato velikost vyhrazené paměti je stanovena na základě rychlosti vzorkování převodníku, rozlišení převodníku a maximální doby symbolové periody. Tato doba při minimální přenosové rychlosti činí 1 ms.

$$n = \frac{r \cdot N_{ADC}}{T_{sp}} \quad (B) \quad (1.3)$$

Jelikož se jedná o osmibitový mikroprocesor a výstup analogového převodníku je dvanáctibitový, je nutné použít pro uložení jednoho vzorku 2 B (16 bitů), a proto se při výpočtu uvažuje rozlišení převodníku $N_{ADC} = 2 \text{ B}$.

$$n = \frac{1000000 \cdot 2}{0,001} = 2000 \quad (B) \quad (1.4)$$

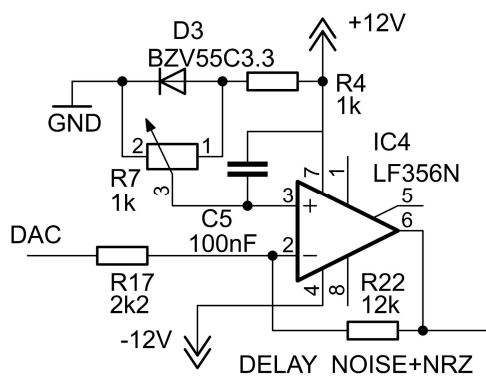
Minimální velikost alokované paměti je tedy 2000 B.

Spolu se spuštěním přenosu dat je nastaven analogový převodník do takzvaného „free running mode“, což znamená, že při dokončení převodu není zastaven, ale pokračuje v převodu dalšího vzorku. Při dokončení převodu a zapsání výsledku do výstupního registru je nutné tyto data přesunout do alokované paměti. Jedna možnost jak toto provést, je vyvoláním přerušení a obsluhou jádra tyto data periodicky přenést. Tento způsob je ovšem značně neefektivní, protože by zabíral velké množství procesorového času. Další možnost řešení tohoto problému je využití integrovaného systému DMA. Jedná se o systém přímého přístupu do paměti, který umožňuje manipulovat s daty mezi perifériemi a pamětí, aniž by bylo zatěžováno jádro

mikroprocesoru. Přesun dat z výstupního registru A/D převodníku je tak realizován systémem DMA, který je vždy při dokončení převodu spouštěno samotným převodníkem.

Po dobu první symbolové periody jsou vzorky ukládány do paměti. Tuto dobu hlídá časovač. Jakmile dojde k vypršení časovače, vyvolá se přerušení, ve kterém je nastaven událostní systém mikroprocesoru tak, aby při každém zápisu do výstupního registru převodníku bylo spuštěno DMA a data z tohoto registru byla přesunuta na příslušnou pozici v paměti. Tuto pozici si hlídá samotné DMA a to pomocí inkrementací svých registrů, ve kterých je uloženo místo v paměti, kam mají být data zapsána. Jelikož je velikost paměti omezena, hlídá si DMA také poslední pozici v paměti, kam může zapisovat a při provedení zápisu na toto místo se vrací zpět na první pozici v paměti, odkud začal zápis.

Na výstupu z D/A převodníku je signál o napěťových úrovních v rozmezí 0 – 3,3 V. Úprava úrovní signálu přiváděného z D/A převodníku je řešena jako v předchozím případě pro úpravu signálu přiváděného do A/D převodníku. Rozdíl je zde akorát v tom, že referenční napětí z trimru přiváděné na neinvertující vstup OZ má hodnotu 1,65 V. Důvodem jsou použita jiná referenční napětí u A/D a D/A převodníků. Další rozdíl je pak zesílení celého obvodu. V předchozím případě docházelo k zeslabování vstupního signálu, kdežto zde je nutné tento signál zesílit. Výsledné zesílení je určeno odpory R17 a R22.

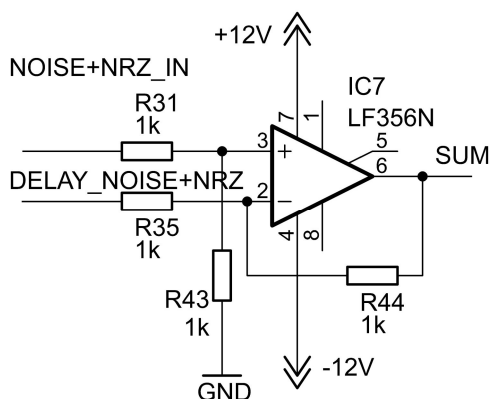


Obr. 15: Zapojení operačního zesilovače pro úpravu úrovně signálu z D/A převodníku

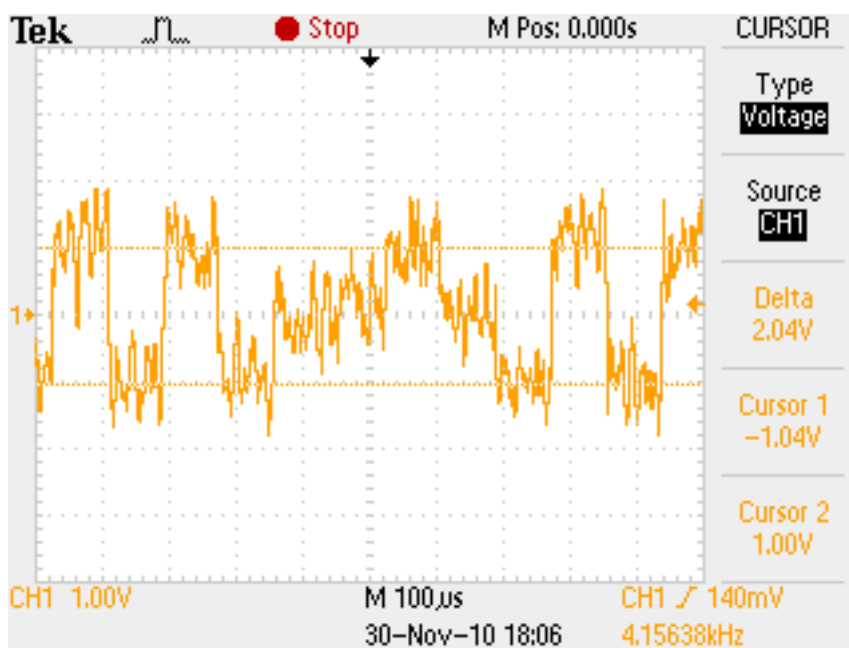
3.7. Rozdílový zesilovač

Rozdílový zesilovač nakreslený na obr. 16 zastupuje další blok přizpůsobeného filtru, kde je od vstupního signálu v reálném čase odečten signál zpožděný o symbolovou periodu. Tato operace způsobí, že užitečný signál obsažený ve výstupním signálu bude mít v době změny stavu dvojnásobný rozkmit, zatímco při setrvání ve stejném stavu bude na výstupu nulová hodnota. Tímto způsobem bude zvýrazněn přechod stavů užitečného signálu.

Na neinvertující vstup OZ je zde přiváděn vstupní signál přizpůsobeného filtru a na invertující vstup je přiváděn signál ze zpožďovacího článku. Všechny odpory mají stejnou velikost, proto je přenos obou signálů jednotkový. Na obr. 17 jde vidět výstup tohoto zesilovače, kde jsou umístěny kurzory osciloskopu přibližně na střední hodnotu signálu v době jedné symbolové periody. Z odečtených hodnot kurzorů je vidět, že rozkmit užitečného signálu při změně stavu je opravdu dvojnásobný oproti vstupnímu užitečnému signálu.



Obr. 16: Zapojení rozdílového zesilovače v přizpůsobeném filtru



Obr. 17: Výstupní signál rozdílového zesilovače v přizpůsobeném filtru

3.8. Integrátor

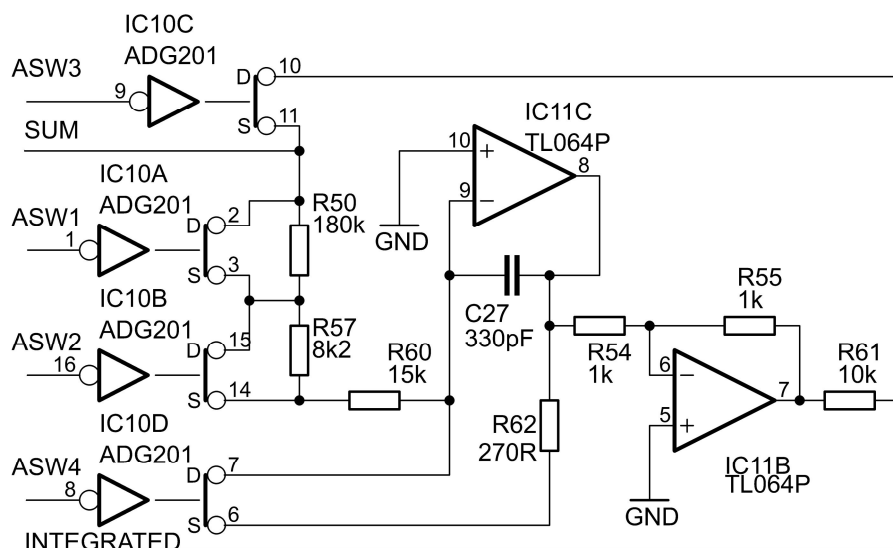
Výstup z rozdílového zesilovače je přiveden do integrátoru. Tento integrátor je nakreslen na obr.18. Zapojení je navrženo tak, aby bylo možné použít pro všechny tři metody přenosu a pro všechny přenosové rychlosti. ADG201 je zde použit jako analogový spínač. Pomocí tohoto

spínače je na vstupu integrátoru měněna hodnota vstupního odporu a tím i časová konstanta integrace. Při přenosu rychlostí 1 kbit/s jsou oba analogové spínače IC10A a IC10B neaktivní a mají tudíž vysoký vnitřní odpor, který je zanedbatelný oproti odporu jim paralelně přiřazeným, z čehož plyne, že je výsledný vstupní odpor roven součtu odporů všech tří rezistorů zařazených na vstup integrátoru. V případě přenosu nižší rychlostí 8kbit/s dojde k sepnutí analogového spínače IC10A. Ten má v sepnutém stavu vnitřní odpor menší než 100 ohmů, což znamená, že vstupní odpor klesne přibližně na hodnotu součtu zbývajících dvou rezistorů R27 a R28. V posledním případě při přenosu rychlostí 12 kbit/s jsou sepnuté oba analogové spínače a tudíž je odpor zařazený na vstup integrátoru přibližně roven odporu rezistoru R29.

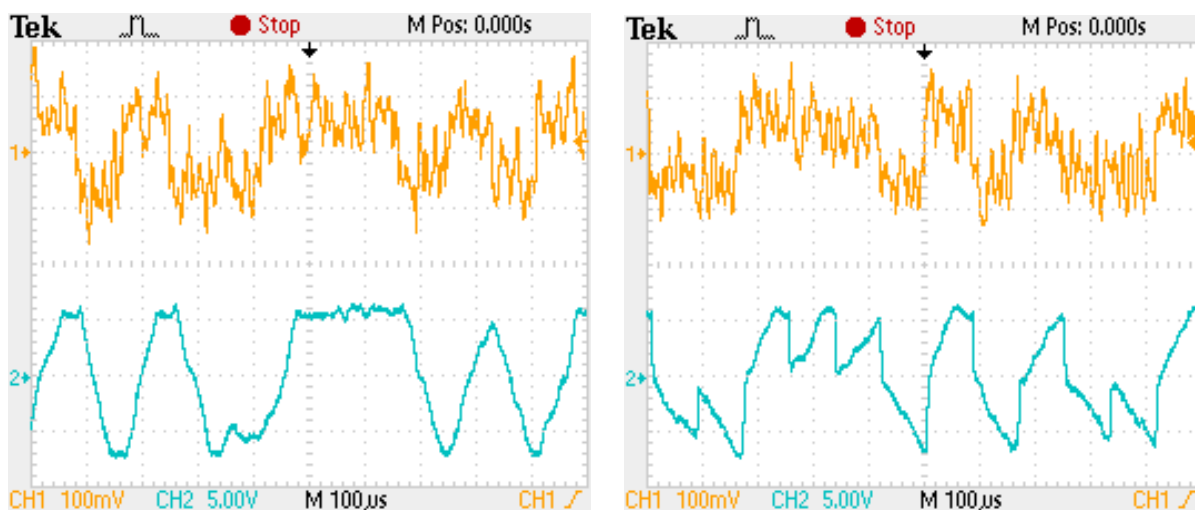
Ve funkci vybíjeného integrátoru je zpožďovací článek v přizpůsobeném filtru neaktivní a tak přichází na vstup integrátoru pouze součet šumu s užitečným signálem. Tento signál je integrován podobně jako v případě přizpůsobeného filtru s tím rozdílem, že u vybíjeného integrátoru je kondenzátor v pravidelných intervalech, vždy na konci periody přenášeného užitečného signálu, vybíjen na nulovou hodnotu. Toto je realizováno připojeným analogovým spínačem IC10D spolu s ochranným rezistorem paralelně k integračnímu kondenzátoru.

V posledním případě a to bez pomoci využití přizpůsobeného filtru a vybíjeného integrátoru je tento integrátor úplně vyřazen z provozu a to za pomoci analogového spínače IC10C. Sepnutím tohoto spínače je integrátor přemostěn díky nízkému vnitřnímu odporu spínače a vysokého výstupního odporu integrátoru, který vytváří rezistor R61

Na obr. 19 je pak znázorněn výstup tohoto integrátoru pro rychlost 12 kbit/s. Z tohoto výstupu je vidět, že ideální podmínky pro vzorkování a obnovu užitečného signálu jsou vždy na konci symbolové periody, kdy výstupní signál dosahuje maximální výchylky.



Obr. 18: Zapojení integrátoru

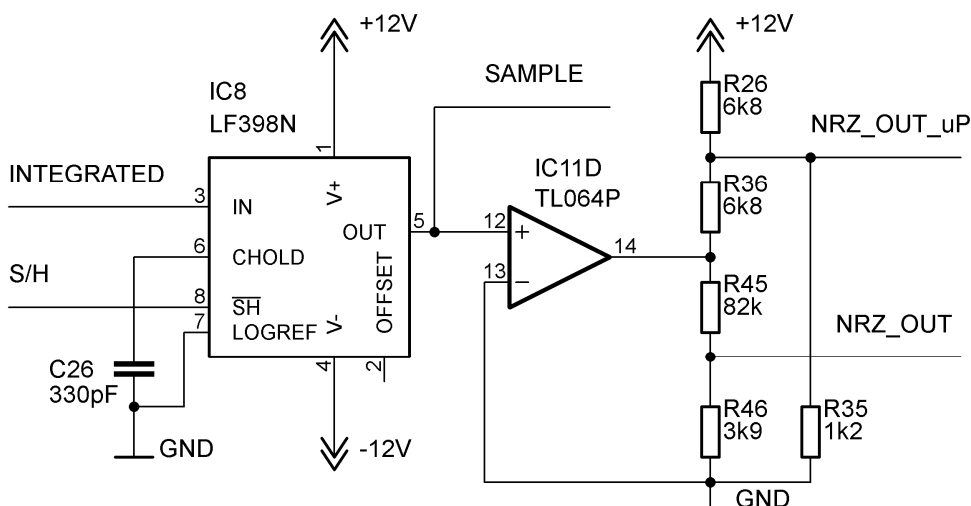


Obr. 19: Výstupní signál integrátoru při použití jako přijmače přizpůsobeného filtru (vlevo) a vybíjeného integrátoru (vpravo)

3.9. Vzorkování a komparace výstupního signálu

Signál z předchozího zapojení integrátoru je přiveden na vzorkovací obvod, na vstupní pin označený IN. Tento obvod je ovládán signálem S/H (Sample/Hold) přivedeného z mikroprocesoru. V pravidelných intervalech vždy před koncem periody užitečného signálu je na pin S/H přivedena log. 0, čímž se obvod přepne do režimu sledování a jeho výstupní napětí sleduje napětí přiváděné na vstup. Jakmile je na pin S/H opět přivedena log. 1, přejde obvod zpět do režimu pamatování a na výstupu drží napětí, které bylo v době přechodu stavu na vstupním pinu S/H. Tímto je vytvořen vzorek pro jednu periodu užitečného signálu, který je porovnán v OZ zapojeném jako komparátor. Na výstupu tohoto komparátoru se objeví vždy maximální hodnota kladného nebo záporného napájecího napětí OZ, která je následně upravena

odporovými děliči na požadovanou hodnotu. Pro vyhodnocení výstupního signálu mikroprocesorem je nutné tento signál upravit do úrovně 0 – 3,3 V, o což se stará napěťový dělič R26, R36 a R35. Výstupem celého laboratorního přípravku má být ovšem stejně jako na vstupu signál NRZ s napěťovými hladinami $\pm 0,5$ V. K tomuto účelu slouží napěťový dělič R45, R46. Zapojení tohoto vzorkovače a komparátoru je vidět na obr. 20.



Obr. 20: Zapojení vzorkovače s komparátorem a úpravou úrovní výstupních signálů

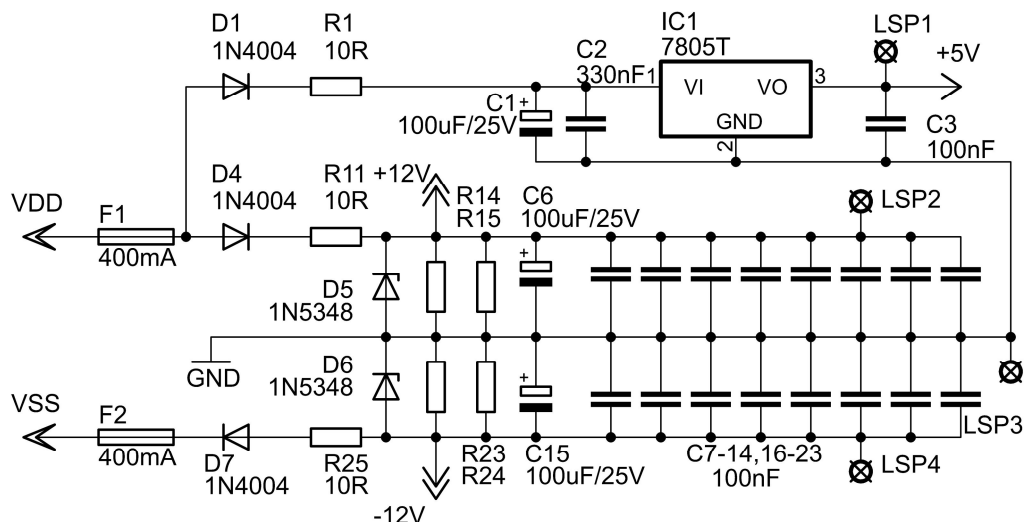
3.10. Napájecí zdroj

Napájecí zdroj je hlavní součástí zařízení, jelikož na něm závisí jeho správná funkce. Jelikož se jedná o napájení stejnosměrným proudem, je nutné, aby bylo dobře stabilizované a vyfiltrované.

Na vstupní napájecí svorky se přivádí stejnosměrné symetrické napětí ± 12 V. Toto napájení je přivedeno do hlavní desky přes nadproudové nevratné pojistky F1 a F2 o hodnotě 400mA. Dále jsou zařazené ochranné diody D1, D4, D7 proti přepólování a výkonové rezistory R11, R25 spolu s paralelně zapojenými Zenerovými diodami D5, D6 jako ochrana před vysokým napájecím napětím. Maximální napájecí napětí je tak limitováno na ± 14 V. Zároveň nesmí vstupní napájecí napětí klesnout pod $\pm 11,7$ V z důvodů vyvažování symetrie napájecích napětí pomocí Zenerových diod na 11 V. Při poklesu vstupního napájecího napětí pod stanovenou mez by mohlo dojít při rozvážení symetrie vstupního napájecího napětí k rozvážení symetrie napájecího napětí na výstupu napájecího zdroje a tím i k rozvážení pracovních bodů některých operačních zesilovačů, což by mělo za následek nepřesnost v měření.

Napájecí zdroj má tři hlavní větve. V první větvi jsou zapojeny filtrační kondenzátory C1, C2, C3 a stabilizátor IC1 v podobě obvodu 7805. Tento stabilizátor vytváří napájecí napětí +5 V, které je určeno pro napájení LCD displeje a mikroprocesorové redukce. Další dvě větve

slouží pro vytvoření symetrického napájecího napětí pro analogové obvody. Jsou zde zapojeny elektrolytické filtrační kondenzátory o velikosti 100 μF a keramické kondenzátory o velikosti 100 nF. Keramické kondenzátory jsou rozmístěny po celé části hlavní desky vždy tak, aby byli co nejbližší napájecím portům analogových integrovaných obvodů. Při přivedení napájecího napětí $\pm 12\text{ V}$ na vstup zařízení je na výstupu napájecího zdroje $\pm 10,5\text{ V}$.



Obr. 21: Napájecí zdroj

3.11. Použité integrované obvody

3.11.1. ATxmega128A1

ATxmega128A1 je jeden z mikroprocesorů patřící do rodiny XMEGA. Tato rodina mikroprocesorů je založená na architektuře AVR se zvětšenou RISC sadou (138 instrukcí). Mezi hlavní klady této rodiny patří velká výbava periferiemi, vysoký výkon díky maximálnímu taktu až 32MHz při současně nízké spotřebě. Ta dosahuje v aktivním módu maximálně 72mW, přičemž nesmíme zapomenout na to, že vykonání jedné instrukce provede v jednom hodinovém cyklu.

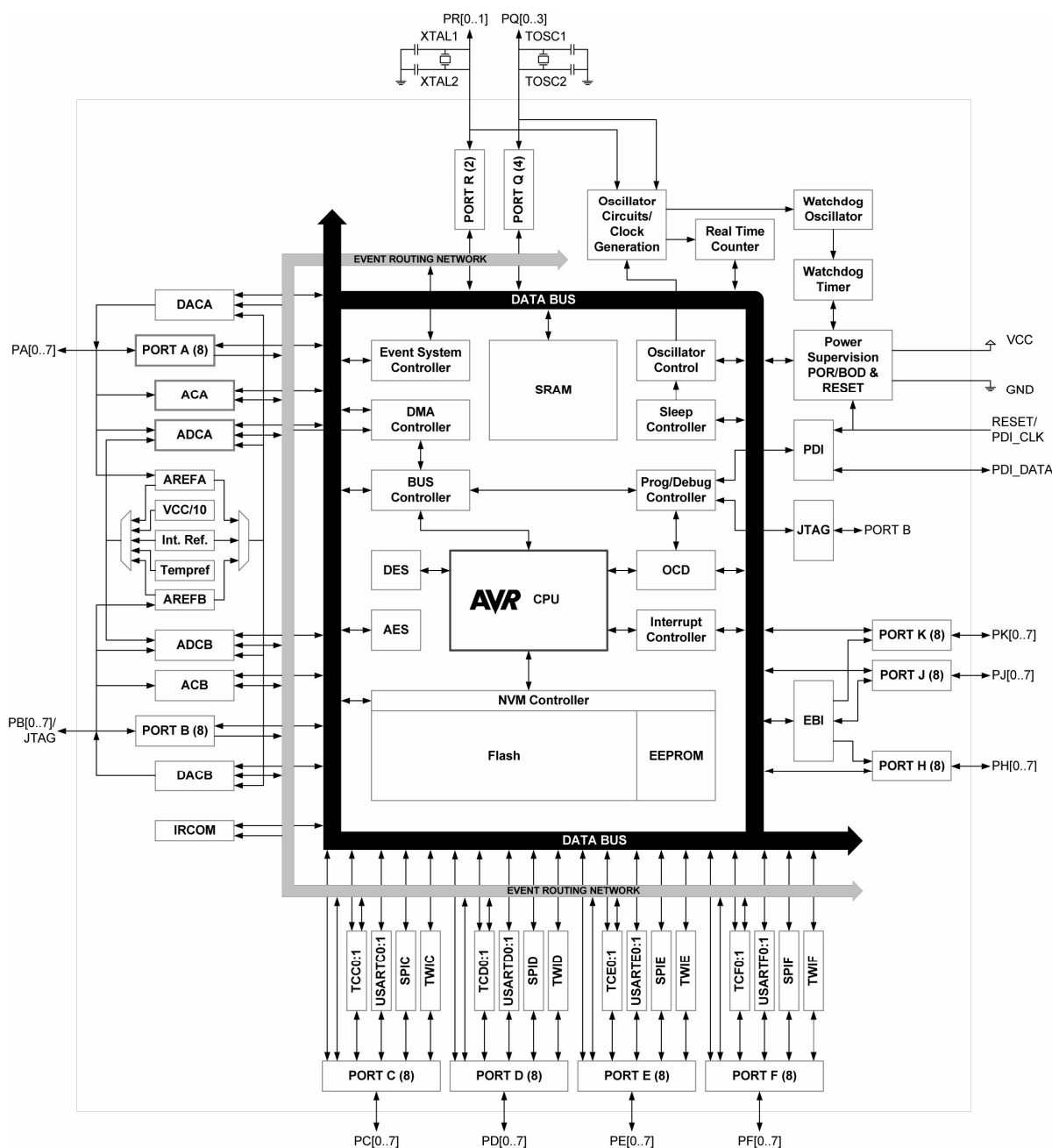
Tento mikroprocesor disponuje řadou periferií a rozšíření, mezi které patří například:

- 128 Kbyte paměti flash,
- 2 Kbyte EEPROM,
- 8 Kbyte SRAM,
- rozhraní JTAG a PDI,
- DMA pro přímý přístup do paměti s možností externí komunikace,
- osm kanálů Event System pro předávání události mezi periferiemi,
- osm 16-ti bitových časovačů,
- 16-ti bitový čítač reálného času s odděleným oscilátorem,

- modul kryptovacích mechanismů AES a DES,
- dva osmikanálové analogově digitální převodníky s rozlišením 12 bitů,
- dva dvoukanálové digitálně analogové převodníky s rozlišením 12 bitů,
- interně i externě nastavitelné hodiny za pomoci PLL a předděliček,
- víceúrovňový systém pro obsluhu přerušení.

Výčet výhod není samozřejmě konečný a další možnosti je možno dohledat v uvedené [3].

Na obr. 22 je uvedeno vnitřní zapojení tohoto obvodu.



Obr. 22: Vnitřní blokové zapojení mikroprocesoru ATxmega128A1

3.11.2. Operační zesilovače LF356 a TL064[4][5]

Integrovaný obvod TL064 je čtyřnásobný operační zesilovač se vstupy typu J-FET. Pouzdro obvodu v sobě sdružuje čtyři identické nízkopříkonové operační zesilovače, které se díky technologii J-FET vyznačují vysokou vstupní impedancí a nízkým proudem vstupů. Napájecí proud jednotlivých operačních zesilovačů činí 200uA. Obvod pracuje s maximálním napájecím napětím ± 18 V a je schopen zpracovat napětí na vstupech až do velikosti ± 15 V. Rozkmit napětí na výstupu, který je zkratuvzdorný, může být podle velikosti napájecího napětí až ± 14 V. Šířka přenášeného pásma je 1 MHz, rychlost přeběhu 3,5 V/us. Obvod se vyrábí v pouzdrech DIP se čtrnácti vývody pro klasickou montáž nebo SO se čtrnácti vývody pro povrchovou montáž.

Integrovaný obvod LF356 obsahuje v pouzdře jeden operační zesilovač se vstupními tranzistory typu J-FET v kombinaci s klasickou bipolární technologií. Díky tomu má obvod vysokou vstupní impedanci a nízký proud vstupů. Obvod pracuje s maximálním napájecím napětím ± 22 V a je schopen na svých vstupech zpracovat napětí až ± 20 V. Rozkmit napětí na výstupu, který je zkratuvzdorný, může být až ± 13 V. Šířka přenášeného pásma je 5MHz, rychlost přeběhu 12 V/us. Obvod se vyrábí v pouzdrech DIP s osmi vývody pro klasickou montáž nebo SO s osmi vývody pro povrchovou montáž.

3.11.3. Analogové spínače ADG201A[6]

Obvod ADG201 sdružuje ve svém pouzdře čtveřici identických analogových spínačů řízených diskretními signály. K dispozici jsou dva shodné typy obvodů, ADG201 a ADG202, lišící se pouze v pravdivostní tabulce spínání výstupů (ADG201 spíná výstup při logické nule, ADG202 spíná výstup při logické jedničce). Každý ze spínačů je schopen spínat střídavé napětí v rozsahu ± 15 V za předpokladu, že napájecí napětí bude shodné nebo vyšší. Maximální povolený proud jednotlivými spínači je 30mA. Při spínání signálů pouze kladné polarity je možno obvod napájet nesymetrickým napětím +15V. Maximální hodnota napájecího napětí je ± 25 V. Obvod má nízký odpor kanálu v sepnutém stavu (typicky 60 Ω) a nízké unikající proudy ve vypnutém stavu (typicky pod 500pA). Integrovaný obvod se vyrábí jak v pouzdrech DIP pro klasickou montáž, tak i v pouzdrech SO, LCC a PLCC pro montáž povrchovou.

3.11.4. Vzorkovací obvod LF398N[7]

Jedná se o obvod, který obstarává funkci „sample and hold“, tedy analogovou paměť hodnoty napětí. LF398 v pouzdře obsahuje operační zesilovač v neinvertujícím zapojení s jednotkovým zesílením a pomocnou logiku. Činnost obvodu je jednoduchá. Na vstup přivádíme signál, který chceme vzorkovat. V okamžiku, kdy je potřeba odebrat vzorek napětí,

vyšleme na řídicí vstup obvodu LF398 logickou jedničku, tím sepneme uvnitř struktury obvodu analogový spínač a přivedeme napětí na paměťový kondenzátor. Po přechodu řídicího vstupu na úroveň logické nuly se vstup obvodu odpojí a na paměťovém kondenzátoru zůstane k dispozici vzorek napětí, který se po průchodu operačním zesilovačem s přesným jednotkovým zesílením objeví na výstupu. Paměťový kondenzátor, který se k obvodu připojuje externě, je klíčovou součástí celého zapojení a na jeho vlastnostech závisí celková kvalita a stabilita funkce obvodu. Je proto vhodné vybírat typy s kvalitním dielektrikem s nízkým svodovým proudem, aby nedocházelo k velkým chybám měření vlivem přílišného samovybíjení kondenzátoru. Obvod LF398 pracuje s napájecím napětím od ± 5 V do ± 18 V, je schopen zpracovat vstupní napětí až do velikosti napájecího napětí. Vstupy obvodu jsou vysokoimpedanční ($10^{10} \Omega$), aby nezatěžovaly měřený obvod velkým proudem. Řídicí vstupy jsou kompatibilní jak s TTL, tak s CMOS logikou. Výstup obvodu disponuje ochranou proti trvalému zkratu. Interní operační zesilovač má jednotkové zesílení s vysokou přesností (0,002%). Integrovaný obvod se vyrábí v pouzdrech DIP nebo Cerdip (keramické) s osmi vývody a SO se čtrnácti vývody pro povrchovou montáž.

4. Návrh celkového zapojení a konstrukce laboratorního přípravku

Z konstrukčních důvodů bylo nutné rozdělit celkové zapojení na tři části. Na první části se nacházejí vývody pro připojení konektorů pro výstupy z laboratorního přípravku, tlačítka pro ovládání zařízení, vývody pro připojení displeje a 36 pinový konektor, do kterého jsou přivedeny všechny používané signály včetně napájecího napětí.

Další částí je redukce pro SMD pouzdro mikroprocesoru. Protože by byla velmi obtížná manipulace s takovýmto pouzdem uprostřed desky plošných spojů osazené integrovanými obvody v provedení DIL a následně i téměř nemožné vyměnit tento mikroprocesor při zničení, byla navržena redukce pro toto pouzdro mikroprocesoru. Tato redukce usnadní práci s daným pouzdem a zároveň odstraní problémy s případnou výměnou mikroprocesoru, například v případě, kdy by došlo k jeho zničení.

Poslední hlavní část je složena z již uvedených a popsaných částečných řešení. Návrh zapojení je uvedený v příloze A.6. Tato část na sobě má mimo jiné také 36-ti pinový konektor pro připojení první části s tlačítky plochým kabelem. Také je vyhrazeno místo pro připojení již zmiňované redukce mikroprocesoru.

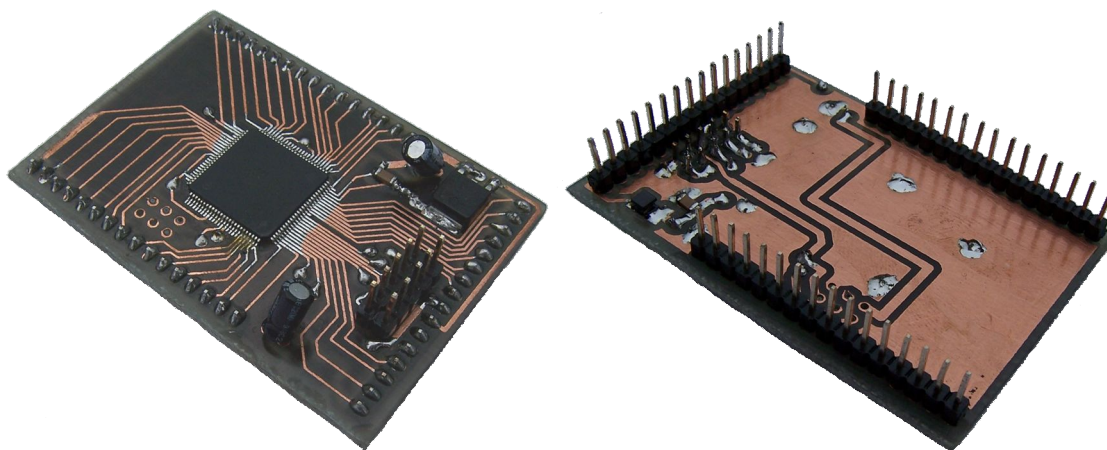
Celá konstrukce bude umístěna v plastové dvoudílné krabici. V horním dílu krabice budou umístěny všechny zdířky pro vývody a přívody signálů a napájení, LCD displej a

samotná ovládací část s tlačítky. Ve spodním dílu plastové krabičky pak bude umístěna hlavní deska společně s vsazenou redukcí mikroprocesoru. Spojení těchto dvou částí bude realizováno 36-ti žilovým plochým kabelem.

4.1. Redukce mikroprocesoru

Tato redukce obsahuje samotný mikroprocesor, regulátor napětí na úroveň 3,3 V a několik pasivních součástek pro filtraci napájecího napětí a napětí pro analogovou část mikroprocesoru. Napájecí napětí se přivádí z hlavní desky a to z větve +5 V. Toto napájecí napětí je přivedeno na stabilizátor a tím sníženo na požadovaných +3,3 V pro napájení mikroprocesoru. Na vstupu i výstupu stabilizátoru jsou umístěny filtrační kondenzátory podle doporučení výrobce. Jelikož se na mikroprocesoru využívá i analogová část, je nutné zajistit napájení této části zvlášť a to za pomoci filtračního LC článku. Ten tvoří cívka L o hodnotě 10 μH a kondenzátor C o hodnotě 10 μF . Zvláštní filtrace pro analogovou část zajistí, aby se rušení z digitální části mikroprocesoru nepřenášelo po napájení do analogové části a neovlivňovalo tak výsledky převodů.

Jelikož použitý mikroprocesor nabízí velké množství vstupně výstupních portů a v této aplikaci pro ně není využití, není nutné je tedy vyvádět na redukcí, a ušetřit tak na rozměrech celé redukce. Tyto porty jsou vyvedeny po obvodu redukce na řadovou lištu lámacích kolíků. Těmito kolíky se pak celá redukce zasune na straně hlavní desky do jednořadých lištových dutinek.



Obr. 23: Redukce mikroprocesoru (pohled z obou stran DPS)

4.2. Ovládací část s tlačítky

Jedná se o DPS sloužící pro propojení všech signálů z přívodů a vývodů na horním dílu plastové krabičky společně se signály z LCD displeje a tlačítek do jediného 36 pinového

konektoru. Signálové vstupy a výstupy z horního panelu jsou očíslovány podle nákresu horního panelu uvedeného níže. Očíslování je dodrženo i na tomto DPS a tak je mnohem snadnější připojování jednotlivých vstupů a výstupů při realizaci. Účelem této redukce je zjednodušení manipulace s jednotlivými díly při rozkládání zařízení.

4.3. Hlavní deska

Hlavní deska je navržena na oboustranném DPS o rozměrech 143 x 99 mm a obsahuje všechny výše probrané částečné řešení problémů v podobě integrovaných obvodů společně s několika pasivními součástkami. Všechny integrované obvody použité na této DPS jsou v provedení pouzdra DIL zasazené do patice tak, aby v případě potřeby mohly být jednoduše vyměněny. Pasivní součástky, s výjimkou výkonových součástek, jsou v provedení SMD montované na obou stranách DPS. Povrchová montáž součástek je z principu výrobně jednodušší, a proto je uplatněna i zde.

Rozmístění součástek na DPS je proveden pro lepší přehlednost a rychlejší orientaci podle blokového zapojení celého zařízení. Signál zastupující přenášená data je vysílán mikroprocesorem. Tento signál prochází postupně přes všechna zde uvedená částečná řešení a vrací se zpět na vstup mikroprocesoru, který pak vyhodnocuje chybovost při přenosu dat. Z tohoto důvodu je umístění redukce pro mikroprocesor uprostřed DPS a dílčí řešení analogové části tuto redukci obklopující ze třech stran. Začínají na horní části DPS kmitočtovým filtrem a postupně podle hodinových ručiček pokračují dalšími částmi. Po pravé straně mikroprocesorové redukce se nacházejí obvody pro úpravu signálu pro analogové převodníky mikroprocesoru. Zde jsou umístěny dva trimry, které jsou nutné pro nastavení napětových úrovní pro analogové převodníky. Celý tento řetězec končí komparátorem ve spodní části vlevo, odkud je signál veden zpět do mikroprocesoru. Po levé straně mikroprocesorové redukce se pak nachází 36-ti pinový konektor pro připojení a horní části zařízení. V prostoru za a nad konektorem je umístěn napájecí zdroj.

Po celé ploše DPS hlavní desky je rozmístěna sada měřících bodů, které slouží pro snadné měření důležitých signálových cest při oživování zařízení nebo snadnější diagnostice při odstraňování závady.

4.4. LCD displej

LCD displej v tomto zařízení slouží pro zobrazování nastavovaných a naměřených hodnot. Pro tyto účely byl vybrán alfanumerický displej řízený standardním řadičem HD44780 firmy

Hitachi, s možností zobrazení šestnácti znaků na dvou řádcích. Na displeji je zobrazováno pět hodnot:

- vysílaná posloupnost dat,
- počet opakování,
- doba přenosu,
- rychlost přenosu,
- počet naměřených chyb.

Pro řízení displeje je využito čtyřbitového řízení, což má za následek zpomalení komunikace mikroprocesoru s displejem a zároveň snížení počtu vodičů pro připojení. To je provedeno deseti žilovým plochým kabelem do ovládací části s tlačítky.

Jelikož se po úspěšné realizaci projeví problémy s rušením analogových obvodů od použitého typu displeje po napájecí napětí, bylo nutné připojit filtrační elektrolytický kondenzátor o velikosti 47 μF přímo na napájecí porty LCD displeje, který toto rušení odstraní.

4.5. Přístrojový panel

Celé zařízení je umístěné do plastové krabičky. Horní strana této krabičky je využita pro přístrojový panel. Podle nákresu v příloze C.1, na kterém jsou vyznačeny otvory pro přístrojový panel, bylo vytvořeno několik otvorů pro měřicí zdířky, konektor BNC, LCD displej, tlačítka. Deska ovládací části s tlačítky a deska LCD jsou umístěny zezadu přístrojového panelu a přichyceny šrouby M3 o délce 15 mm se zápusťnou hlavou. Ovládací tlačítka jsou umístěna v levém horním rohu. V horní části přístrojového panelu se nachází zdířky pro přívod napájecího napětí spolu s BNC konektorem pro přívod šumu z generátoru. Měřicí zdířky jsou rozmístěny podle blokového schématu zapojení přípravku. Blokové schéma na sobě nese i očíslování a označení jednotlivých přípojných zdířek. Slouží tak ke snadnějšímu pochopení zapojení přípravku a k předcházení chyb při připojování přípravku pro účely měření. Toto schéma je vytištěné na papír a zatavené do plastové fólie, aby nedošlo snadno k jeho poškození. Celé schéma je pak vlepeno do prolisu plastové krabičky, čímž se částečně předchází jeho nechtěnému odlepení.

5. Program pro řízení laboratorního přípravku

Program pro ovládání celého zařízení je napsaný v programovacím jazyce C v programovacím prostředí AVR Studio 4. Tento program je učený pro mikroprocesor

ATxmega128A1, ale jde samozřejmě použít i pro jiné mikroprocesory pocházející z rodiny ATxmega.

5.1. Inicializace

V hlavní části programu dochází nejdříve k inicializaci mikroprocesoru a jeho periférií. Provádí se v hlavní funkci `main`, spouští se po připojení napájecího napětí a končí nekonečnou smyčkou `while(1)`. Úkolem inicializace je nastavit všechny potřebné registry, aby potřebné části mikroprocesoru byly schopny při běhu programu, v co možná v nejkratším čase, správně pracovat. Inicializace se tedy provádí jenom na potřebných částech mikroprocesoru. Mezi tyto části patří nastavení vstupně výstupních portů, systémového kmitočtu, A/D a D/A převodníků, událostního systému a v neposlední řadě také časovačů. Právě časovačů je pro snadnou implementaci a rychlou obsluhu využito šest a to C0, C1, D0, D1, E0 a E1. Použití jednotlivých časovačů je následující:

- C0 – Nastavení zpoždění o velikosti jedné periody přenášených dat pro zpožďovací člunek přizpůsobeného filtru.
- C1 – Generování periody přenášených dat pro jejich pravidelné odesílání.
- D0 – Ošetření zákmitů tlačítek.
- D1 – Odpočet času měření.
- E0 – Blikání kurzoru na displeji při zastaveném měření.
- E1 – Rychlá změna nastavení doby přenosu.

Všechny použité časovače jsou 16-ti bitové a ke správné funkci používají systémový takt. Některé mají ovšem předřazenou předděličku 1024 a běží na pomalejším taktu. Jedná se o časovače pro ošetření zákmitu tlačítek, blikání kurzoru a rychlou změnu doby přenosu.

Ovládání celého přípravku se provádí pomocí tlačítek připojených na port D. Aby bylo možné snímat stavy tlačítek, je nutné tento port přepnout do režimu vstupu a nastavit reakci na změnu stavu a to pomocí generování vektoru přerušení. Jelikož porty mají v sobě zabudované pull-up rezistory, je možné je aktivovat a tlačítka připojit na zem. Pak bude reakce na stav portu nastavená na sestupnou hranu, jelikož stiskem tlačítka bude vstupní port uzemněn.

Analogové převodníky jsou zde využity společně s DMA a pamětí mikroprocesoru jako zpožďovací člunek. Analogově digitální převodník je nutné nastavit do modů nekonečné smyčky, kdy dochází k pravidelným převodům signálu na vstupu a generování událostí pro uložení dat pomocí DMA do paměti. Analogové převodníky jsou nastaveny na rozlišení 12 bitů a vzorkovací rychlost 1 MS. Výstup digitálně analogového převodníku je na začátku

nastaven napevno do poloviny výstupního rozsahu, aby nebylo na výstupu zpoždovacího článku po úrovněové úpravě signálu žádné napětí.

Poslední částí je inicializace LCD. Ten je po připojení napájení nutné nastavit tak, aby bylo možné komunikovat s ním pomocí čtyřdrátového propojení. Poté je na displej vypsáno na dvě sekundy úvodní logo, po kterém následuje výpis přednastavených hodnot.

Za inicializací displeje následuje nekonečná smyčka, kde je kontrolován stav portu s připojenými tlačítky a žádost jinou funkcí o výpis dat na displej.

5.2. Přerušeni

Každý mikroprocesor obsahuje řadič přerušeni, který se stará o přerušování standardního běhu programu a vyřízení požadavků přicházejících z periférií. Tímto způsobem je možné zpracovávat program a zároveň obsluhovat periferie, aniž by bylo nutné paralelní zpracování.

V případě mikroprocesoru ATxmega jde o řadič víceúrovňový, který dokáže rozlišovat prioritu jednotlivých přerušeni. To je výhoda především v případě, kdy je nutné upřednostnit některou z periférií před ostatními a zpracovat její požadavek v co možná nejkratším čase. Tento případ nastal při zpracování přerušeni od časovače C1, který se stará o generování dat. Symbolová perioda přenášených dat musí být vždy stejná a neměla by se lišit, aby nedocházelo ke změnám přenosové rychlosti. To by zároveň mohlo způsobit změnu ve výsledných průbězích a v konečném důsledku by to mohlo mít vliv i na celkovou chybovost. Časovači C1 je tedy přiřazena střední úroveň priority oproti ostatním perifériím, které mají pouze nízkou úroveň priority. Tím je upřednostněn při zpracování oproti ostatním přerušením i v případě, že je některé z přerušeni s nízkou prioritou momentálně zpracováváno. Konkrétně se jedná o zpracování výpisu na displej, který je uskutečňován na základě přerušeni časovače D1, jehož doba zpracování je delší, než délka signálové perrody přenášených dat, což by mělo za následek zpoždění a vyslání a příjmu dat.

5.2.1. Vysílání a příjem dat

Vysílání a příjem dat je řešen pomocí obsluhy přerušeni generovaného časovače C1. Konkrétně jde o vektor přerušeni s názvem „TCC1_OVF_vect“. V obsluze tohoto přerušeni se uskutečňuje nejprve navzorkování signálu v přijímači. Zde je nutné vyčkat 3 μ s při vzorkování a 10 μ s po navzorkování z důvodů překmitů vzorkovače. Následně je volána funkce *receivingData()*, která se stará o samotný příjem a ukládání přijatých dat. Dále je odeslán aktuální bit a to podle zvolené posloupnosti dat. Pokud se jedná o pseudonáhodnou posloupnost, dojde k volání funkce *bitGenerátor()*, která se stará pouze o odeslání bitu na

správné pozici pseudonáhodné posloupnosti. V ostatních případech se odesílá bit z jedné z přednastavených posloupností. V případě příjmu pomocí vybíjeného integrátoru zde dochází k vybíjení kondenzátoru na nulovou hodnotu, aby byl připraven pro další přenos.

Poslední částí je vyhodnocení chybovosti v případě, že byla odeslána celá posloupnost tolikrát, kolikrát bylo nastavené opakování přenosu. Funkce pro vyhodnocení počtu chyb se jmenuje *evaluationData()*. Přijatá data uložená do pole jsou vyhodnocena a počet aktuálních chyb je přičten k celkovému počtu chyb uložených v proměnné *sum_error*.

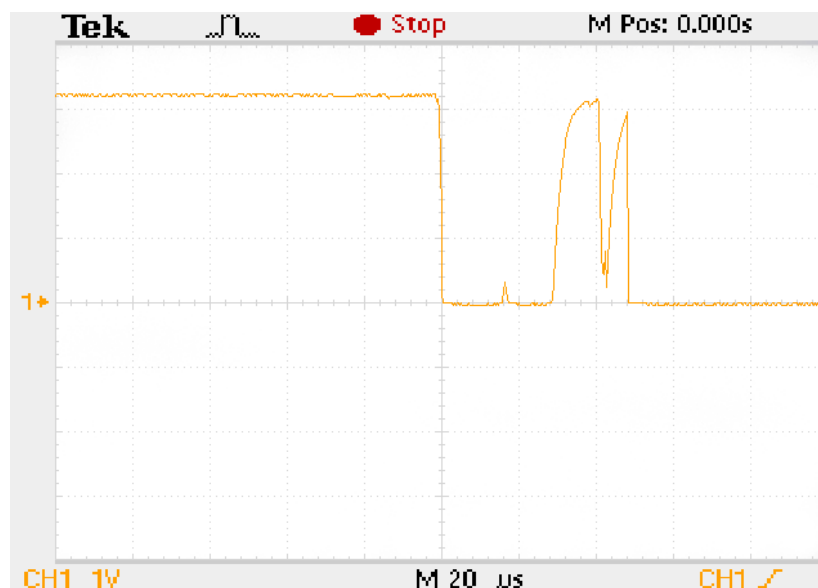
5.2.2. Odpočet času

Měření doby přenosu je nutné k výpočtu výsledné chybovosti podle přenosové rychlosti. Odpočet času je realizován obsluhou přerušení generovaného časovače D1. V obsluze přerušení dochází k odečítání přednastaveného času. Jakmile dojde k vypršení doby přenosu, do proměnné *time* se zapíše nula a přenos bude ukončen voláním funkce *transmitOff()*.

5.2.3. Ošetření tlačítek

Tlačítka určená k ovládání laboratorního přípravku mají, tak jako každá jiná, omezení v podobě vytváření zákmitů při přechodu mezi stavy. Zákmity tlačítek zachycuje obr. 24, na kterém je evidentní, že při rychlém zpracování přechodových stavů tlačítek by mohlo dojít k nechtěné reakci na stisk tlačítka vícekrát při jednom stisku. To by činilo potíže při nastavování jednotlivých hodnot v podobě přeskakování čísel. Nechtěný efekt překmitů tlačítek je tedy potlačen vyčkáním na ustálený stav. Využívá se zde zpoždění vytvářené časovačem D0. Při stisku dojde k obsluze přerušení generovaného reakcí vstupního portu na změnu stavu. V tomto přerušení je uložen stav vstupních portů s tlačítky a zároveň spuštěn časovač D0. Při vypršení časovače je kontrolován stav vstupních portů s tlačítky. Jakmile jsou tlačítka uvolněna, dojde v obsluze přerušení generovaného časovačem D0 a vyhodnotí se stav vstupního portu s tlačítky uložený v proměnné *stat_PORTD*.

Jestliže se jedná o obsluhu tlačítka pro změnu hodnoty a zároveň jde o změnu nastavení doby přenosu, je možné měnit tuto dobu s rychlým posuvem. V obsluze přerušení generovaného časovačem D0 je implementovaná funkce, která tuto možnost zajišťuje. Dojde-li k přidržení tlačítka na dobu delší než šestnácté vypršení uvedeného časovače, je při každém následném šestnáctém vypršení tohoto časovače přičítáno nebo odečítáno pět sekund až do doby, kdy je tlačítko puštěno. Tímto způsobem je změna o 5 sekund uskutečněna každých 300 ms.



Obr. 24: Zákmit tlačítek

5.3. Spuštění přenosu

Přenos dat je zahájen stiskem tlačítka START. Tímto dojde k volání funkce *transmitOn()*, která se stará o dodatečnou inicializaci před každým spuštěním jak proměnných, tak periférií. Postup inicializace je odlišný pro přímý přenos s vybíjeným integrátorem od přenosu s použitím přizpůsobeného filtru. Ve všech případech se inicializují nejprve potřebné proměnné. Mezi ně patří například počet aktuálních chyb, počet všech chyb v přenosu nebo pole pro ukládání přijatých dat. Následuje inicializace periférií. V případě použití přímého přenosu a vybíjeného integrátoru jde pouze o inicializace výstupní hodnoty D/A převodníku a nastavení časovačů pro generování dat. Samotné spuštění přenosu probíhá ve funkci pro vyhodnocení dat *evaluationData()* a to až po přenesení první sekvence. Tento postup je z důvodu špatných napět'ových stavů na některých analogových obvodech před začátkem přenosu, který způsoboval chybný přenos prvních bitů.

V případě použití přizpůsobeného filtru je situace poněkud složitější, jelikož je část mikroprocesoru využita jako zpožďovací článek. Nejprve dojde k inicializaci DMA. To je nutné nastavit tak, aby automaticky přenášelo data z výstupu A/D převodníku do paměti. Pro ukládání vzorků z převodníků je vyhrazená paměť pomocí proměnné *buff[6000]*. Tímto je v paměti vyhrazena část o velikosti 6000B. DMA je tedy nastaveno tak, aby používalo pouze tento úsek v paměti a pomocí automatické inkrementace při zápisu na aktuální pozici změnilo pozici pro následující zápis. Aktivace přenosu dat do paměti je řízena událostním systémem, který reaguje na dokončení převodu A/D převodníku. Posledním krokem v inicializaci pro přenos je spuštění analogového převodníku a nastavení časovače C0, kterým je tvořeno zpoždění délky jedné periody přenášených dat ve zpožďovacím článku. Po vypršení časovače

C0 se v obsluze jeho přerušení aktivuje přenos pomocí DMA z paměti do D/A převodníku a spustí se samotné generování dat nastavením časovače C1.

5.4. Statická data

Celý program je popsán několika soubory. Jedná se o soubor s hlavním programem a další soubory vyhrazené jednotlivým periferiím pro jednodušší přístup a nastavení, mezi které patří:

main.c	– hlavní program,
adc_driver.h	– nastavení A/D převodníků,
clksys_driver.h	– nastavení systémových kmitočtu,
dac_driver.h	– nastavení D/A převodníků,
dma_driver.h	– nastavení řízení přímého přístupu do paměti,
lcd.h	– komunikace s LCD displejem řízeným řadičem HC44780,
tc_driver.h	– nastavení časovačů.

Metrika kódu pro mikroprocesor:

Počet souborů:	14.
Velikost programu:	7516B.
Velikost statických dat:	6558 B.
Velikost binárního souboru:	21168 B.

6. Realizace a oživení přípravku

Přípravek je navržen tak, aby byla jeho realizace a manipulace s ním co možná nejjednodušší. Pro jeho realizace je nutné se nejprve zabývat částí elektroniky, která obsahuje tři DPS. Následně pak konstrukční části, která v sobě zahrnuje umístění elektroniky do příslušné plastové krabičky a výrobu horního ovládacího panelu.

6.1. Elektronická část

Výroba elektronické části v sobě zahrnuje výrobu DPS, osazení elektronických součástek a oživení kompletní elektroniky. DPS jsou navrženy jako dvouvrstvé pro osazení jak klasickou montáží, tak montáží SMT. Vyrobenou DPS je nutné na určených místech odvrtat tak, aby bylo možné osadit součástky určené pro klasickou montáž, jako jsou patice integrovaných obvodů, konektory nebo propojky mezi vrstvami a některé z pasivních součástek. Při osazování se postupuje podle osazovacího plánu. Nejprve je nutné osadit všechny pasivní součástky, patice integrovaných obvodů a konektory. Toto se provede s hlavní deskou a ovládací deskou

určenou do horního krytu krabičky. Jako patice pro redukci mikroprocesoru je zde využito 3 x 16-ti pinové řadové lámací lišty. Dále je nutné vyrobit propojovací kabel těchto dvou DPS a to za pomoci 34 žilového plochého kabelu. Tímto kabelem obě DPS propojíme a na vstupy ovládací desky označené +12 V, -12V a GND připojíme napájecí napětí. Jestliže je vše v pořádku a osazené desky nevykazují odběr větší než 50 mA, mělo by být vše v pořádku. Toto přivedené napájecí napětí by se mělo snížit na vstupních ochranách na hodnotu $\pm 10,8$ V a mělo by být přítomno i na měřicích bodech LSP2, LSP3, LSP4 a na příslušných pinech patic pro integrované obvody. Další krok je osazení integrovaného obvodu IC1, což je napěťový stabilizátor na +5 V. Funkčnost by měla být následně ověřena v podobě minimálního nárůstu proudu na kladné větvi +12 V a zároveň ověřením měřicího bodu LSP1 a pinu 23 konektorů pro připojení redukce mikroprocesoru. Zde by mělo být již zmíněných +5 V. Tímto bychom měli mít ověřenou funkčnost napájecí části.

Následuje oživení analogové části s operačními zesilovači. Jako první zasadíme do své patice IC5, což je operační zesilovač využitý v kmitočtovém filtru. Pro měření použijeme měřicí body LSP5 na vstupu filtru a LSP6 na výstupu filtru. Za předpokladu, že vstup filtru není připojen, může být na výstupu šum s rozkmitem maximálně do 50 mV. Při nesprávném zapojení nebo zapojení součástek s jinými hodnotami může dojít k rozkmitání filtru. V tom případě se na výstupu filtru objeví střídavé napětí o nedefinované frekvenci a rozkmitu. Součástky volené jinak než je uvedeno v seznamu součástek mohou také vést k nepřesné funkci tohoto obvodu, jelikož výstupem z filtru je omezený bílý šum, kterým je ovlivňována výsledná chybovost při přenosu dat a jakákoliv drobná odchylka v zesílení tohoto filtru může mít za následek zcela jinou chybovost v přenosu dat.

Pokud je vše v pořádku, je možno osadit další integrované obvody IC2 a IC6. První obvod slouží jako sledovač napětí z odporového děliče určeného pro úpravu napěťových úrovní. Při přivedení na měřicí bod LSP7 napětí +5 V by se na výstupu IC2, což je měřicí bod LSP8, mělo objevit napětí cca. +1,1 V. Při připojení LSP7 na zem by pak na výstupu mělo být napětí -0,5 V. Druhý obvod slouží jako sumační člen výstupu předchozích dvou obvodů takže výstupem by měl být součet dvou vstupujících signálů na LSP6 a LSP8. Výstupní signál je možné změřit na ovládací desce na výstupu označeném číslem 3.

Dalším důležitým krokem je osazení obvodu IC3, který slouží pro úpravu analogového signálu pro A/D převodník mikroprocesoru. Výstup z tohoto obvodu je nutné udržet ve stanovených mezích, v opačném případě by mohlo dojít k nevratnému poškození A/D převodníku na mikroprocesoru. Správnou napěťovou úroveň na výstupu nastavíme pomocí trimru R6 a to tak, že na měřicí bod LSP9 uzemníme a měříme výstupní napětí na měřicím

bodu LSP10. Toto napětí by mělo být +1,05 V, což je právě polovina z použitelného rozsahu od 0 do +2,1 V, které dokáže zpracovat A/D převodník. V tomto rozsahu by se mělo pohybovat napětí na LSP10, pokud budeme na LSP9 přivádět napětí s celého rozsahu napájecích napětí.

Napětí snímané na A/D převodníku se z určitým zpožděním objevuje na výstupu D/A převodníku. Toto napětí má ale jiný rozkmit, než napětí vstupující do A/D převodníku, jelikož je pro převody použito jiného zdroje reference. Rozkmit tak v tomto případě činí 0 až +3,3 V. Tento rozsah je nutné zpětně dostat do správné napěťové úrovně, která je ± 9 V. Po osazení operačního zesilovače IC4, který je určen pro tuto funkci, přivedeme na měřicí bod LSP11 střídavé napětí s rozkmitem 0 až +3,3 V. Na výstupu by pak mělo být na měřicím bodu LSP12 stejné střídavé napětí s rozkmitem ± 9 V. Jestliže je signál někam stejnosměrně posunut, je nutné opravit toto posunutí trimrem R7 tak, aby střední hodnota byla nulová.

Uvedený výstup na měřicím bodu LSP12 je dále sčítán s napětím na měřicím bodě LSP9. Tuto operaci provádí operační zesilovač IC7 a výsledek tohoto součtu je možné ověřit na měřicím bodě LSP13.

Konečnou částí ověření funkčnosti bude poslední obvod v signálové cestě a to je operační zesilovač zapojený ve funkci komparátoru. Výstup z tohoto komparátoru je přes jeden odporový dělič veden na výstup zařízení a přes druhý odporový dělič na vstup mikroprocesoru. Při přivedení kladného napětí z rozsahu napájecího napětí na měřicí bod LSP15, což je vstup komparátoru, by se mělo na výstupu komparátoru objevit na měřicím bodu LSP16 +0,5 V a na portu 17 pro připojení redukce mikroprocesoru by mělo být +3 V. Při přivedení na vstup jakéhokoliv záporného napětí z rozsahu napájecího napětí by pak mělo být na měřicím bodě LSP16 -0,5 V a portu 17 pro připojení redukce mikroprocesoru by mělo být maximálně +0,5 V.

Jelikož další části k osazení vyžadují řízení, je nutné realizovat nejprve redukci mikroprocesoru. Do této redukce se postupně osadí všechny součástky v osazovacím výkresu včetně lámacích lišt určených pro zasazení do hlavní desky a konektoru s vyvedeným rozhraním JTAG nebo PDI. Ověřením správnosti osazení je možné věřit připojením na piny 23 a 24 napájecího napětí +5 V. Spotřeba by se měla pohybovat kolem 1 mA. Aby tato redukce byla použitelná, je nutné do procesoru nahrát software přiložený k diplomové práci. To je možné provést právě pomocí dvou již zmíněných programovacích rozhraní JTAG a PDI. Aby bylo možné ověřit funkčnost celé redukce, a částečně osazené hlavní desky je nutné zasadit tuto redukci do hlavní desky. Dále je zapotřebí ovládací desku osadit tlačítky a připojit LCD displej pomocí 10 žilového plochého kabelu. Pokud je vše v pořádku, měl by se po připojení napájení na LCD displeji objevit úvodní nápis „VYSILAC/PRIJIMAC DAT“ a následně

všechny přednastavené hodnoty pro přenos. Jako kompletní kontrolu funkčnosti mikroprocesorové redukce je dále možné změřit řídicí signály do ještě neosazených obvodů integrátoru, analogového spínače a vzorkovače podle přiloženého celkového schématu na jednotlivých pinech patice pro tyto obvody a dále pak za pomoci tlačítek vyzkoušet ovládání přípravku a nastavení jednotlivých parametrů.

Před kompletním osazením je ještě nutné přesně nastavit obvody pro úpravu úrovně pro A/D a D/A převodníky. Tato úprava se provede na měřicím bodě LSP13 při nastaveném přijímače na přímou cestu. Zde by v průběhu přenosu měl být signál NRZ s rozkmitem $\pm 0,5$ V a středem v nule. Pokud tomu tak není, je nutné tuto hodnotu dostavit trimrem R7. Přepnutím přijímače do přizpůsobeného filtru se na stejném místě objeví průběh z integrovaného signálu s rozkmitem ± 10 V. Tento signál musí být opět správně stejnosměrně posunut a to tak, aby střední hodnota tohoto signálu byla nulová a integrátor neměl snahu ujíždět k jednomu z napájecích napětí. Uvedený postup pak několikrát opakujeme, dokud nedocílíme popsání výsledku v obou případech, jelikož tyto dvě změny se vzájemně nepatrně ovlivňují.

Poslední části osazení jsou tři obvody: integrátor, analogový spínač a vzorkovač. Jejich funkci po osazení je možné ověřit na měřicích bodech LSP13, LSP14 a LSP15. Průběhy těchto bodů lze srovnat s přiloženými průběhy u návrhu jednotlivých částí, které by měli být totožné.

6.2. Konstrukční část

Konstrukční část obsahuje výrobu přístrojového panelu společně s uchycením jednotlivých DPS do plastové krabičky. Podle vrtacího plánu uvedeného v příloze C.1. Je nutné vyvrtat otvory do obou stran plastové krabičky. Typ použité krabičky je uvedený v seznamu součástek. Po provrtání obou dílů krabičky se hlavní část přišroubuje na spodní díl krabičky pomocí pěti šroubků se zápusťnou hlavou a závitem M3. Do ovládací části se připájí do připravených výstupů vodiče příslušné délky a spolu s LCD displejem se těmi stejnými šroubky přichytí do horního dílu plastové krabičky.

V příloze C.2 je náčrt potisku pro přístrojový panel. Tento potisk se vytiskne, zataví do plastové fólie a v naznačených místech se razíky vyrazí otvory. Celý potisk se vlepi do prolisu horního dílu plastové krabičky. Zbývající otvory se osadí měřicími zdírkami, BNC konektorem a LED o průměru 3 mm v plastovém pouzdře pro signalizaci volby přijímače. Z vnitřní části je nutno na závěr připojit vše k ovládacímu panelu. Pozor ovšem na dotahování měřicích zdírek! Ty by měly být napevno dotaženy až po připájení vodičů, protože závity jsou

vyrobeny z plastu a při zahřívání pájecí plochy by mohlo dojít k povolení zdířky, popřípadě ke zničení závitu na zdířce.

7. Ovládání přípravku

Přípravek je navržen tak, aby jeho užívání nevyžadovalo žádné náročné zákroky před použitím a zároveň, aby bylo ovládání a měření na něm pokud možno intuitivní a co možná nejvíce názorné.

Uvedení do provozu se provádí připojením napájení pomocí napájecích svorek. Toto napětí by mělo být stejnosměrné symetrické o velikosti ± 12 V. Po připojení napájení se na displeji objeví název přípravku a následně aktuální přednastavené hodnoty. Tento stav je možné vidět na obr. 25.



Obr. 25: Informace zobrazované na displeji

V počátečním stavu bliká hodnota přenášené posloupnosti. Toto blikání indikuje aktuální možnost změny blikající položky. Tuto změnu je možné udělat pomocí tlačítek označenými šipkami ve vertikálním směru. Po nastavení požadované posloupnosti je možné změnit i další položky a to tak, že přesuneme indikaci blikání na příslušnou položku pomocí tlačítek označených šipkami v horizontálním směru. Přesun indikace je možné provést oběma směry v pořadí:

1. odesílaná posloupnost => 2. počet opakování => 3. rychlost přenosu => 4. doba přenosu => 1. odesílaná posloupnost

Možnosti volby v jednotlivých pozicích jsou následující:

1. Odesílaná posloupnost – 0x0000, 0xFFFF, 0xAAAA, 0xA54E, 0xE253, 0xBA87, 0x5D6D, pseudonáhodná.
2. Počet opakování – 1x, 3x, 5x, 9x.
3. Přenosová rychlost – 1 kbit/s, 8 kbit/s, 12kbit/s.
4. Doba přenosu dat – interval od 1 do 120 sekund. Změna po jedné sekundě při stisku nebo po pěti sekundách při podržení.

Po nastavení všech parametrů pro přenos dat je nutné ještě zvolit typ přijímače. To se provádí opakovaným stiskem tlačítka označeného „Volba přijímače“. Opakovanými stisky tohoto tlačítka se postupně přepíná typ přijímače a to v pořadí:

1. přizpůsobený filtr => 2. vybíjený integrátor => 3. přímý přenos => 1. přizpůsobený filtr

Aktuální nastavení je indikováno červenými LED na vstupu přijímače. Svítící LED indikuje aktuálně zvolený přijímač. Po zapnutí je přednastavený přizpůsobený filtr.

Dalším krokem by mělo být připojení generátorů šumu na konektor BNC a propojení vysílací části s přijímací na svorkách číslo čtyři a pět. Na ostatní svorky je možné připojit osciloskop a sledovat tak jednotlivé průběhy.

Pro spuštění přenosu dat slouží tlačítko označené „start/stop“. Prvním stiskem dojde ke spuštění přenosu. Další stisk přenos zastaví, pokud ještě neskončil. Na displeji je vypsán aktuální počet chyb při přenosu a uplynulý čas v sekundách. Dalším stiskem dojde k vynulování počtu chyb a nastavení času zpět na přednastavenou hodnotu. Při samotném měření je nutné dbát na správné připojování napájecích i signálových vodičů. Pro lepší orientaci je zde uveden seznam přípojných bodů se stručným vysvětlením účelu.

Význam jednotlivých přípojných bodů na přístrojovém panelu:

- Červená, modrá a zelené zdířky – napájecí zdířky pro připojení $\pm 12\text{ V}$
(červená $+12\text{V}$, modrá -12V , zelená – zem)
- Tlačítko start/stop – spouštění a zastavení přenosu dat.
- Tlačítko volba přijímače – změna přijímače.
- Směrová tlačítka – přepínání mezi jednotlivými volbami nastavení a změna nastavení.
- BNC konektor – vysokofrekvenční konektor s charakteristickou impedancí $50\ \Omega$ pro přivedení rušivého signálu v podobě bílého šumu z funkčního generátoru.
- Bílé zdířky podle očíslování:
 1. Výstupní svorka generátoru dat – výstup bipolárního signálu bez návratu k nule reprezentující přenášená data.
 2. Výstup z kmitočtového filtru – výstup přiváděného šumu omezeného dolní propustí.
 3. Součet signálu NRZ s přiváděným šumem.
 4. Propojovací svorka – výstup signálu NRZ s přiváděným šumem.
 5. Propojovací svorka – vstupní svorka přijímače.
 6. Výstup přiváděného signálu – signál přiváděný na vstup přijímače.

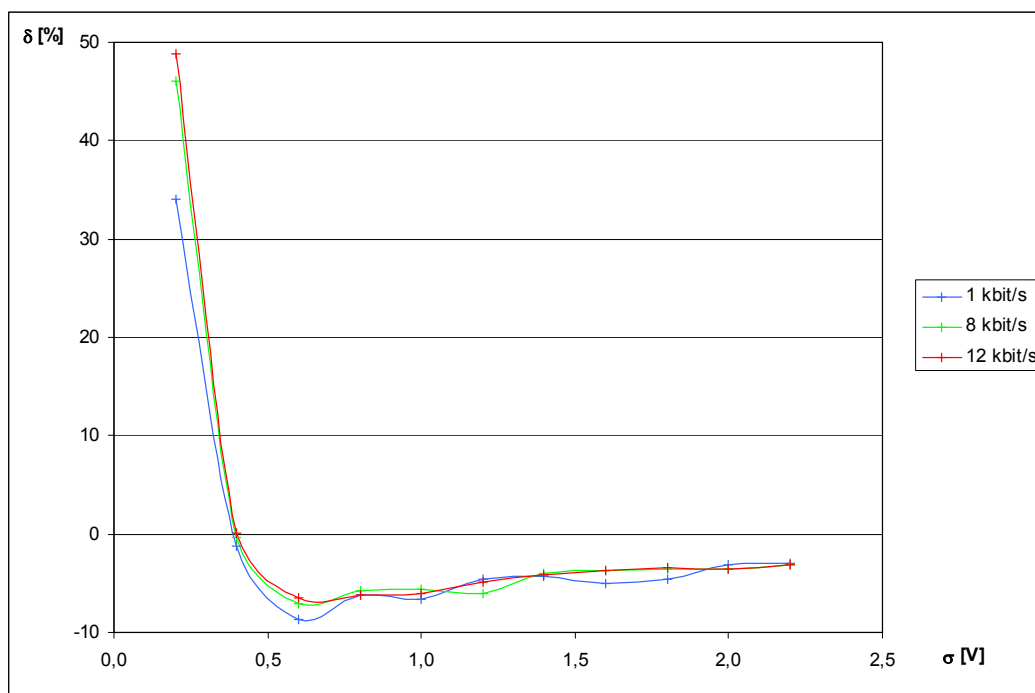
7. Výstup z přijímací části – podle volby přijímače.
8. Výstup ze vzorkovače – vzorky odebírané z přijímací části vždy před koncem periody přenášených dat.
9. Výstup z rozhodovacího obvodu – výstup bipolárního signálu bez návratu k nule reprezentující přijatá data.

8. Měření

Celé zařízení bylo realizováno do finální podoby a pro ověření kompletní funkčnosti bylo provedeno několik měření. Nejprve byly osciloskopu změřeny jednotlivé průběhy na výstupech. Tyto průběhy jsou připojeny k návrhu jednotlivých částí zařízení a již byly náležitě okomentovány. Dalším měřením bylo měření závislosti chybovosti na velikost efektivní hodnoty rušivého signálu. Tyto hodnoty jsou srovnány s teoretickými výpočty a spolu s absolutními a relativními chybami vyjádřeny v tab. 1. V následujícím grafu je pak vidět relativní chyba mezi vypočítanou a změřenou hodnotou chybovosti pro všechny tři rychlosti.

Tab. 1: Vypočítané a změřené hodnoty chybovosti

σ [V]	BER [-]		Δ [-]	δ [%]
	vypočítaná chybovost	změřená chybovost.	absolutní chyba	relativní chyba
1 kbit/s				
0,2	124	188	64	34
0,4	2113	2087	-26	-1
0,6	4047	3723	-324	-9
0,8	5320	5013	-307	-6
1,0	6171	5790	-381	-7
1,2	6769	6471	-298	-5
1,4	7210	6912	-298	-4
1,6	7547	7189	-358	-5
1,8	7812	7471	-341	-5
2,0	8026	7787	-239	-3
2,2	8202	7965	-237	-3
8 kbit/s				
0,2	992	1840	848	46
0,4	16904	16857	-47	0
0,6	32376	30241	-2135	-7
0,8	42560	40228	-2332	-6
1,0	49368	46724	-2644	-6
1,2	54152	51064	-3088	-6
1,4	57680	55500	-2180	-4
1,6	60376	58200	-2176	-4
1,8	62496	60329	-2167	-4
2,0	64208	61973	-2235	-4
2,2	65616	63665	-1951	-3
12 kbit/s				
0,2	1488	2912	1424	49
0,4	25356	25371	15	0
0,6	48564	45587	-2977	-7
0,8	63840	60116	-3724	-6
1,0	74052	69799	-4253	-6
1,2	81228	77404	-3824	-5
1,4	86520	83097	-3423	-4
1,6	90564	87285	-3279	-4
1,8	93744	90674	-3070	-3
2,0	96312	92996	-3316	-4
2,2	98424	95470	-2954	-3



Obr. 26: Graf závislosti chybovosti na efektivní hodnotě šumu

Z grafu je patrné, že se rozdíly mezi vypočítanou a změřenou chybovostí pohybují do 9 %, kromě první hodnoty při nastavení efektivní hodnoty šumu na 0,2 V. Jelikož výsledná chybovost závisí na mnoha faktorech, je výsledný rozdíl do 8 % považován za přijatelnou hodnotu pro laboratorní účely, pro které je zařízení určeno. Mezi tyto faktory ovlivňující výsledek patří například přesnost efektivní hodnoty šumu přiváděného do přípravku, velikost a symetrie napětí reprezentující užitečná data nebo rušení generované všemi obvody použitými v zařízení. Právě poslední zmíněný faktor má pravděpodobně za následek velký rozdíl u efektivní hodnoty napětí šumu 0,2 V. Rušení generované použitými obvody má relativně nízkou hodnotu v porovnání s přenášeným signálem. Pokud je tedy použito pro rušení přenosu šumu s vyššími efektivními hodnotami napětí, není tento faktor znatelný. Pokud ale efektivní hodnota napětí šumu klesne pod určitou mez, která se pohybuje někde pod 300 mV, dojde k ovlivňování výsledné chybovosti právě posledním jmenovaným faktorem, a to protože při poklesu pod 300 mV jde počet chyb blízko k nule a jakákoliv drobná odchylka od správné efektivní hodnoty napětí výsledného rušivého signálu zde způsobí vzhledem celkovému počtu přenášených dat malou absolutní chybu, ale velkou relativní chybu.

Dalším měřením bylo ověření snižování chybovosti pomocí opakovaného přenosu. Výstupy z tohoto měření jsou v tab. 2. Zde jde vidět, že chybovost přenosu dat závisí nepřímo úměrně na počtu opakování. Čím vícekrát dojde k opakování jednoho bitu, tím menší je

pravděpodobnost, že bude přenesený bit špatný. Měření bylo prováděno vždy po dobu 60 sekund a jelikož s větším počtem opakování klesá množství přenesených dat, jsou v tabulce pro lepší názornost vyneseny hodnoty násobené počtem opakování tak, aby se srovnávala chybovost na stejném počtu přenesených dat.

Tab. 2: Tabulka změřených chybovostí pro opakovaný přenos

σ [V]	BER [-]			
	1x	3x	5x	9x
0,2	5311	252	25	0
0,4	64020	21891	9105	1970
0,8	171744	104931	71400	35190
1,6	258889	212874	180620	136143

ZÁVĚR

V první části práce byly navrženy modely v prostředí Matlab Simulink. Simulace na jednotlivých modelech potvrdily funkčnost. Výstupy těchto simulací byly zpracovány do grafů na kterých je názorně vidět, jaký vliv má úroveň aditivního šumu na pravděpodobnost chybného příjmu při přenosu dat.

Dále byl vytvořen návrh zapojení laboratorního přípravku, který byl realizován na kontaktním poli. Součástí návrhu byl mikroprocesor ATxmega 128A1, pro který byl vytvořen program tak, aby byl schopný plnit funkci zpoždovacího článku, generátoru dat s různými parametry a zároveň zobrazoval nastavená data na LCD. Funkce jednotlivých částí návrhu byla demonstrována výstupy z osciloskopu, které jsou zachyceny ve formě obrázků displeje.

Celý návrh byl doplněn deskou plošných spojů, na kterou být celý návrh realizován. Na realizovaném zařízení bylo provedeno několik měření, na kterých je dokázána kompletní funkčnost a popsány jednotlivé odchylky od teoretických předpokladů. Výstupem celé práce je měřicí přípravek určený do laboratoří předmětu Teorie sdělování.

POUŽITÁ LITERATURA

- [1] ŽALUD, V., *Moderní radioelektronika*. 1.vyd. Praha: BEN – technická literatura, 2000. 655s. ISBN 80-86056-47-3
- [2] ČÍŽ, R., *Teorie sdělování* [online]. poslední revize 1.12.2010 [cit. 2010-10-20]. Dostupné z: <<http://www.utko.feec.vutbr.cz/~cizr/tsd/index.php>>.
- [3] ATMEL CORPORATION, *ATxmega128A1* [online], Dostupné z: <http://www.atmel.com/dyn/products/product_card.asp?part_id=4298>.
- [4] NATIONAL SEMICONDUCTOR, *JFET Input Operational Amplifiers* [katalogový list], poslední revize 2001[cit. 2010-12-5], Dostupné z: <<http://www.national.com/ds/LF/LF155.pdf>>.
- [5] TEXAS INSTRUMENT, *Low-Power JFET Operational Amplifiers* [katalogový list], poslední revize 2004[cit. 2011-5-20], Dostupné z: <<http://focus.ti.com/lit/ds/symlink/tl061a.pdf>>.
- [6] ANALOG DEVICES, *Quad SPST Switches* [katalogový list], [cit. 2011-5-20], Dostupné z: <http://www.analog.com/static/imported-files/data_sheets/ADG201A_202A.pdf>.
- [7] NATIONAL SEMICONDUCTOR, *Monolithic Sample-and-Hold Circuits* [katalogový list], poslední revize 2000[cit. 2011-5-20], Dostupné z: <<http://www.national.com/ds/LF/LF198.pdf>>.

Seznam zkratek

A/D	Analog to Digital	analogově digitální převodník
AES	Advanced Encryption Standard	kryptografický standard
BER	Bit error rate	bitová chybovost
D/A	Digital to Analog	digitálně analogový převodník
DES	Data Encryption Standard	kryptografický standard
DMA	Direct Memory Access	přímý přístup do paměti
DPS		deska plošných spojů
EEPROM	Electrically Erasable Programmable Read-Only Memory	elektronicky programovatelná paměť
JTAG	Joint Test Action Group	standard pro programování flash pamětí
LCD	Liquid crystal display	dislejš
NRZ	Non Return to Zero	linkový kód bez návratu k nule
OZ	Operational Amplifier	operační zesilovač
PDI	Program and Debug Interface	rozhraní pro programování mikroprocesorů Atmel
PLL	Phase locked-loop	fázový závěs
RISC	Reduced Instruction Set Computer	redukováná sada instrukcí
S/H	Sample and Hold	vzorkování a paměť
SMD	Surface mount device	součástky určené pro povrchovou montáž
SMT	Surface mount technology	technologie povrchové montáže
SNR	Signal to Noise ratio	poměr signál/šum
SRAM	Static Random Access Memory	paměť bez potřeby periodické obnovy

Seznam obrázků

Obr. 1: Přijímač s kmitočtovou filtrací realizovanou přizpůsobeným filtrem pro pravoúhlý impulz	9
Obr. 2: Korelační přijímač	10
Obr. 3: Realizace korelačního přijímače pomocí vybíjeného integrátoru	10
Obr. 4: Model programu Matlab Simulink – přímý přenos [2]	10
Obr. 5: Model programu Matlab Simulink – přenos s trojnásobným opakováním.....	11
Obr. 6: Model programu Matlab Simulink – přenos s využitím přizpůsobeného filtru [2].....	11
Obr. 7: Model programu Matlab Simulink – přenos s využitím vybíjeného integrátoru [2]....	11
Obr. 8: Grafické znázornění závislosti chybovosti na SNR pro jednotlivé metody snížení pravděpodobnosti chybného příjmu	12
Obr. 9: Blokové zapojení laboratorního přípravku	13
Obr. 10: Zapojení OZ pro převod napěťových úrovní (vlevo) a průběhy vstupního a výstupního signálu (vpravo)	14
Obr. 11: Aktivní frekvenční filtr typu dolní propust	15
Obr. 12: Spektrální analýza šumu vytvářeného generátorem Agilent 33220A (vlevo) a spektrální analýza šumu filtrovaného dolní propustí (vpravo)	16
Obr. 13: Zapojení rozdílového zesilovače (vpravo) a průběh výstupu (vlevo)	16
Obr. 14: Zapojení operačního zesilovače pro úpravu úrovně signálu pro A/D převodník.....	18
Obr. 15: Zapojení operačního zesilovače pro úpravu úrovně signálu z D/A převodníku	19
Obr. 16: Zapojení rozdílového zesilovače v přizpůsobeném filtru	20
Obr. 17: Výstupní signál rozdílového zesilovače v přizpůsobeném filtru.....	20
Obr. 18: Zapojení integrátoru.....	22
Obr. 19: Výstupní signál integrátoru při použití jako přijímače přizpůsobeného filtru (vlevo) a vybíjeného integrátoru (vpravo).....	22
Obr. 20: Zapojení vzorkovače s komparátorem a úpravou úrovní výstupních signálů.....	23
Obr. 21: Napájecí zdroj.....	24
Obr. 22: Vnitřní blokové zapojení mikroprocesoru ATxmega128A1.....	25
Obr. 23: Redukce mikroprocesoru (pohled z obou stran DPS).....	28
Obr. 24: Zákmit tlačítek.....	34
Obr. 25: Informace zobrazované na displeji.....	39
Obr. 26: Graf závislosti chybovosti na efektivní hodnotě šumu	43

Seznam tabulek

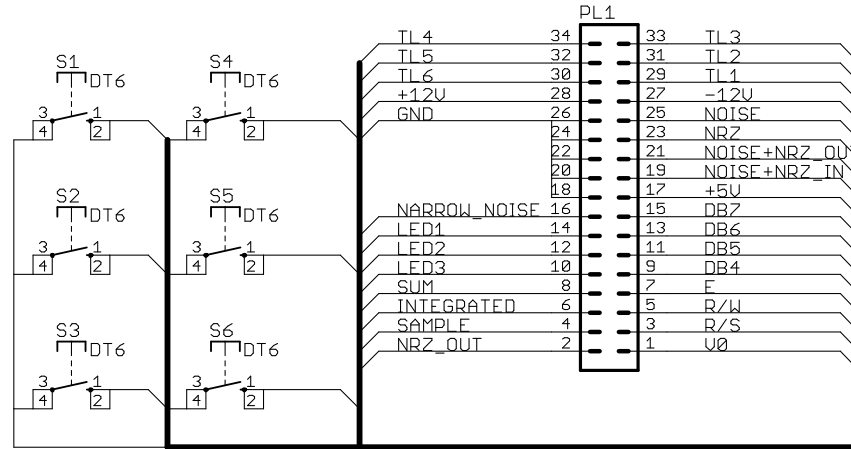
Tab. 1: Vypočítané a změřené hodnoty chybovosti	42
Tab. 2: Tabulka změřených chybovostí pro opakovaný přenos.....	44

Seznam příloh

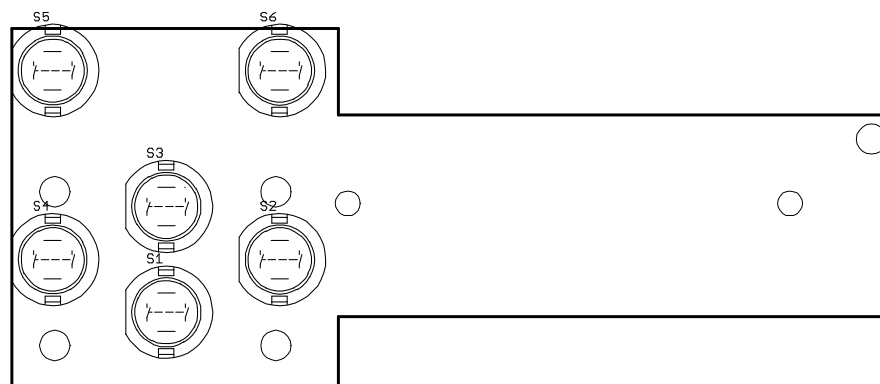
A.	SCHÉMATA PLOŠNÝCH SPOJŮ, OSAZOVACÍ PLÁNY A VÝKRESY DESEK PLOŠNÝCH SPOJŮ	51
A.1.	Schéma zapojení desky ovládání	51
A.2.	Osazovací plán desky ovládání (horní strana)	52
A.3.	Osazovací plán desky ovládání (spodní strana)	52
A.4.	Výkres plošných spojů desky ovládání (horní strana)	53
A.5.	Výkres plošných spojů desky ovládání (spodní strana)	53
A.6.	Schéma zapojení hlavní desky	54
A.7.	Osazovací plán hlavní desky (horní strana)	55
A.8.	Osazovací plán hlavní desky (spodní strana)	55
A.9.	Výkres plošných spojů hlavní desky (horní strana)	56
A.10.	Výkres plošných spojů hlavní desky (spodní strana)	56
A.11.	Schéma zapojení redukce mikroprocesoru	57
A.12.	Osazovací plán redukce mikroprocesoru (horní strana)	58
A.13.	Osazovací plán redukce mikroprocesoru (spodní strana)	58
A.14.	Výkres plošných spojů redukce mikroprocesoru (horní strana)	58
A.15.	Výkres plošných spojů redukce mikroprocesoru (spodní strana)	58
B.	Seznamy použitých součástek	59
B.1.	Ovládací panel	59
B.2.	Redukce mikroprocesoru	59
B.3.	Hlavní deska	59
B.4.	Ostatní konstrukční součástky	60
C.	Konstrukční výkresy	61
C.1.	Předloha pro vrtání otvorů přístrojového panelu	61
C.2.	Potisk přístrojového panelu	62
D.	Obrázky realizovaného přípravku	63
D.1.	Pohled na přístrojový panel	63
D.2.	Pohled na přípravek v rozloženém stavu	64
E.	Obsah přiloženého CD	65

A.

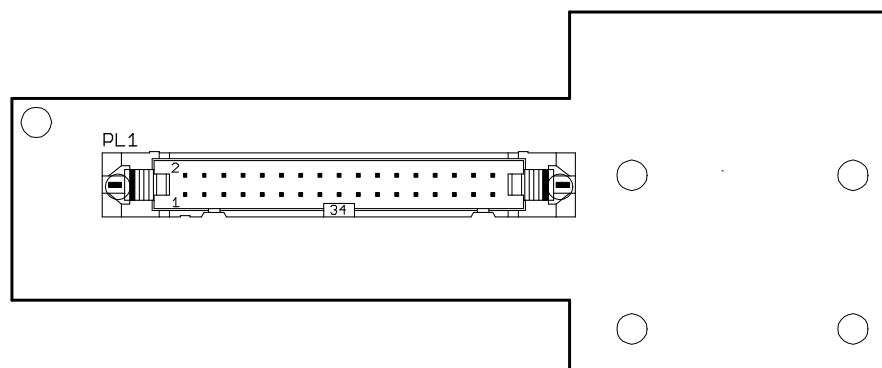
A.1.



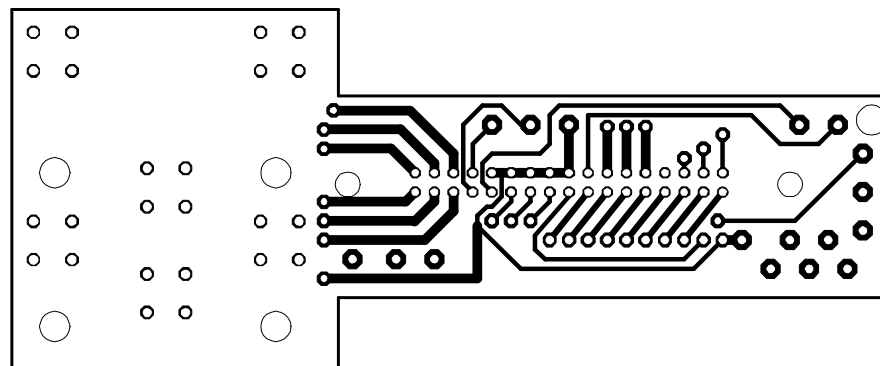
A.2. Osazovací plán desky ovládání (horní strana)



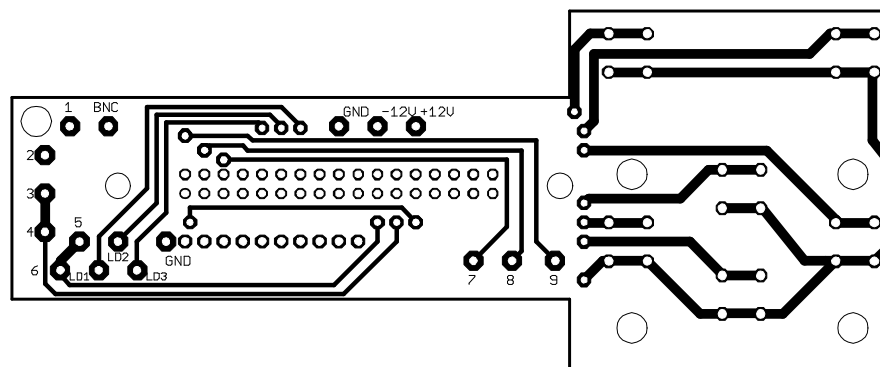
A.3. Osazovací plán desky ovládání (spodní strana)



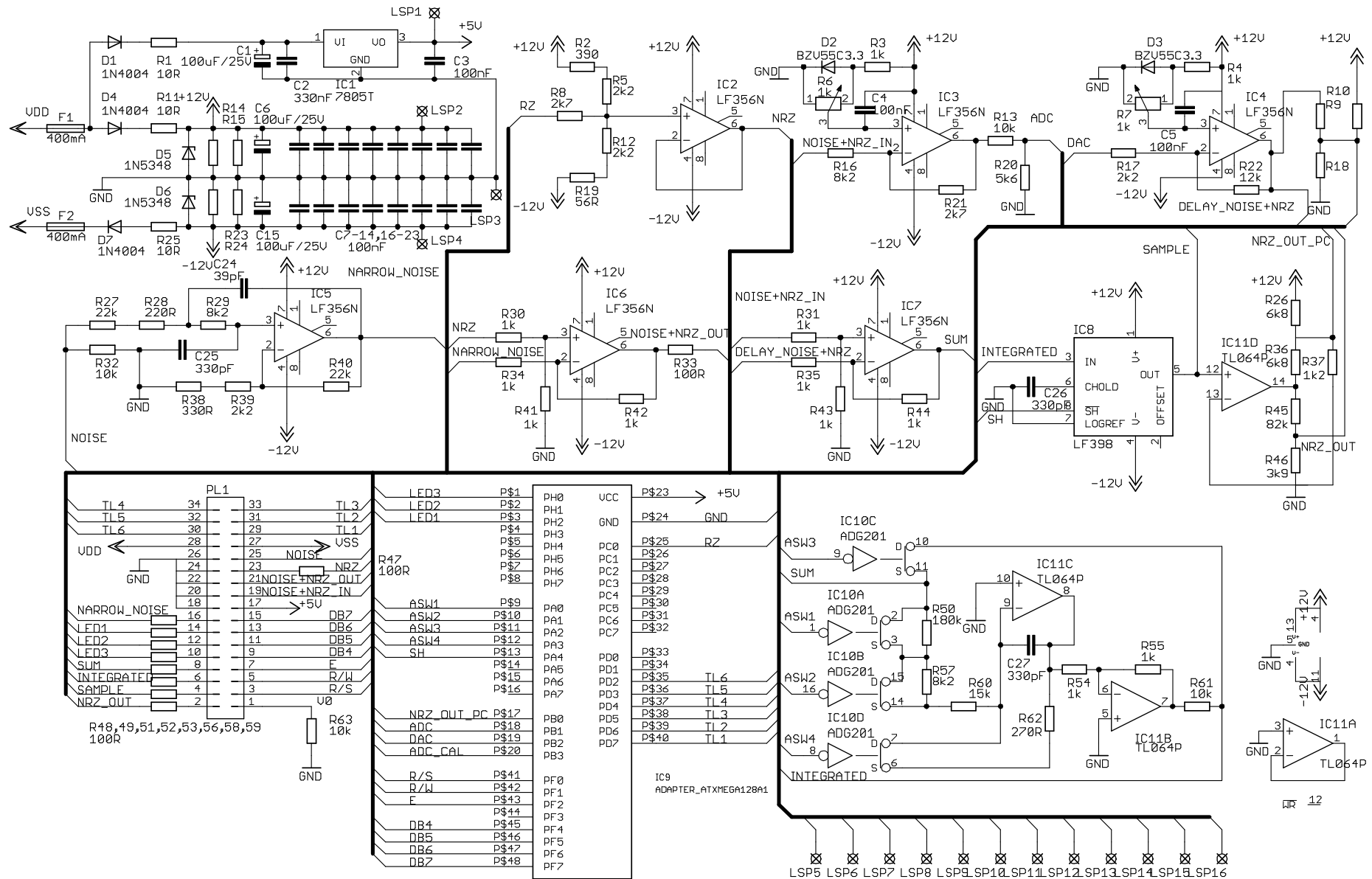
A.4. Výkres plošných spojů desky ovládání (horní strana)



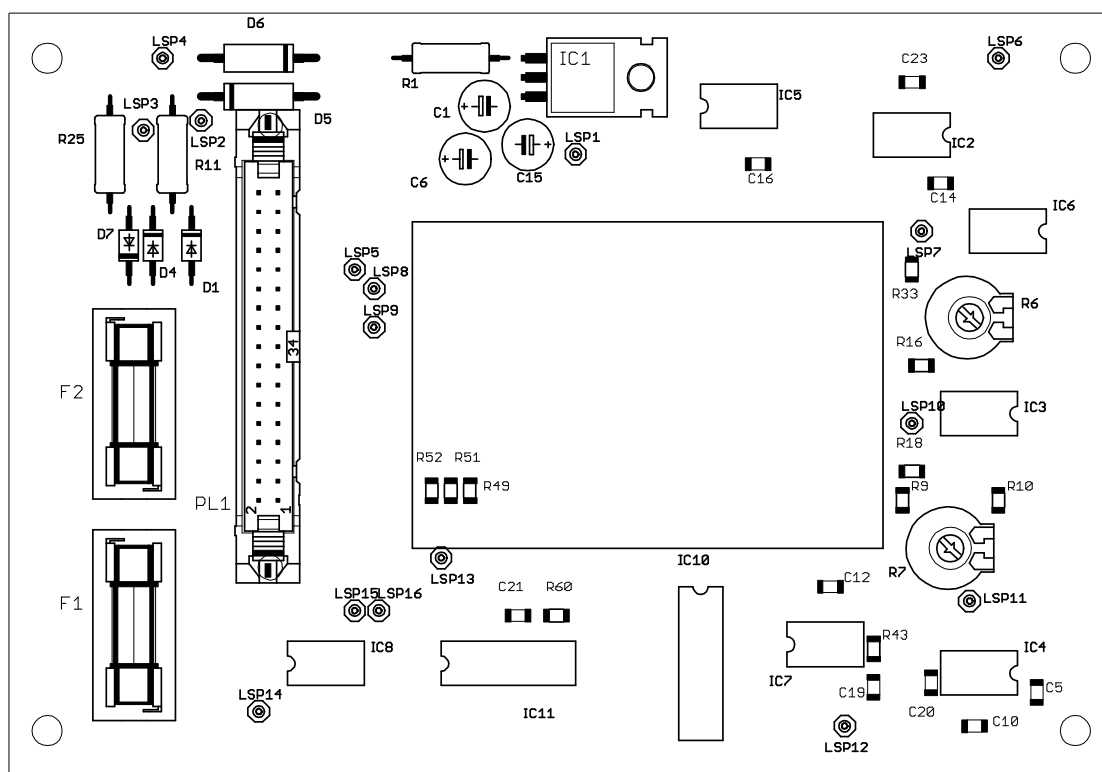
A.5. Výkres plošných spojů desky ovládání (spodní strana)



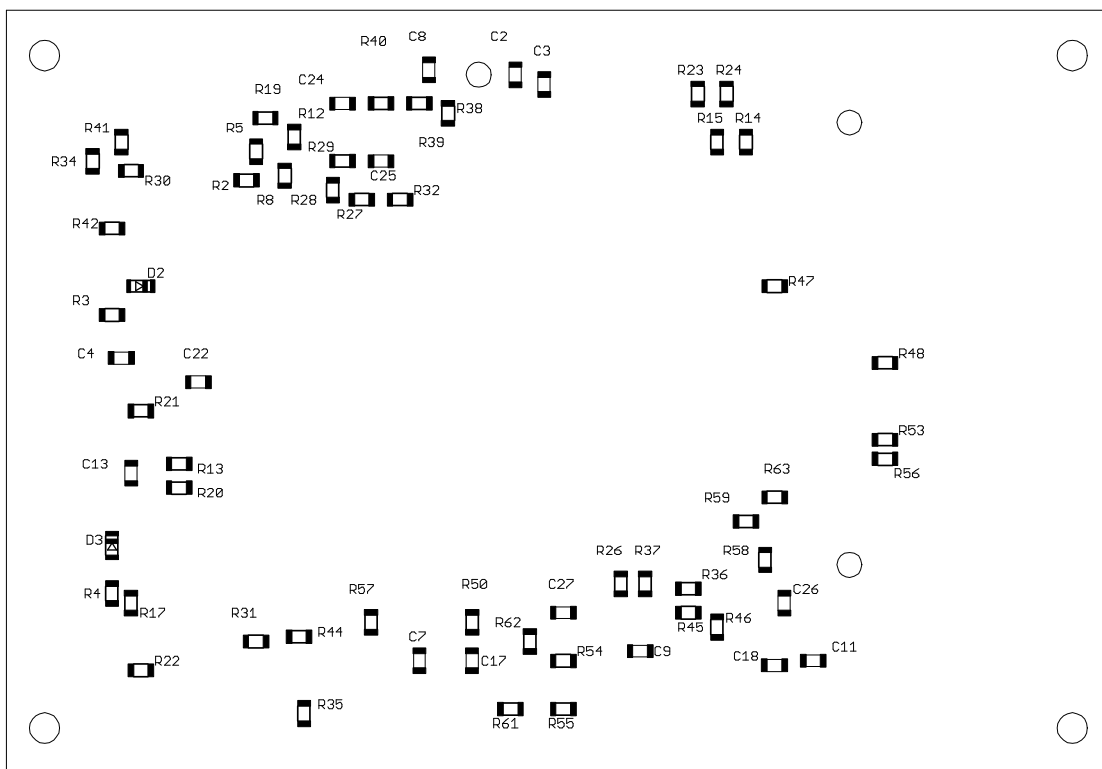
A.6. Schéma zapojení hlavní desky



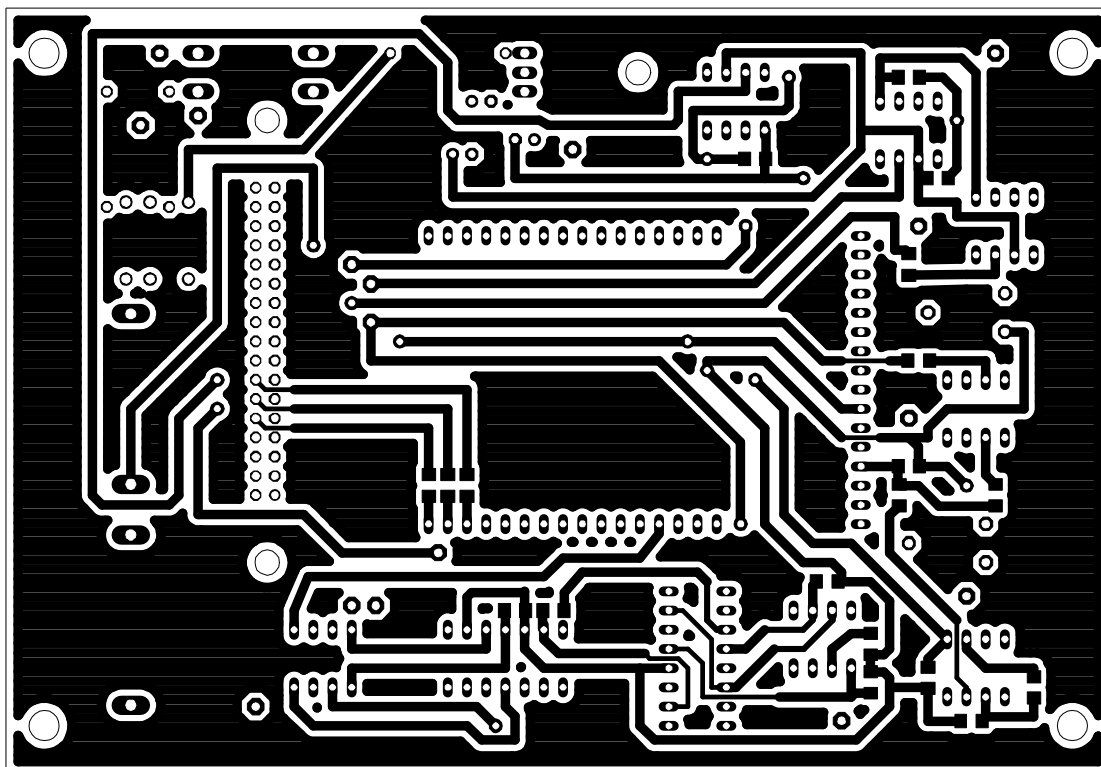
A.7. Osazovací plán hlavní desky (horní strana)



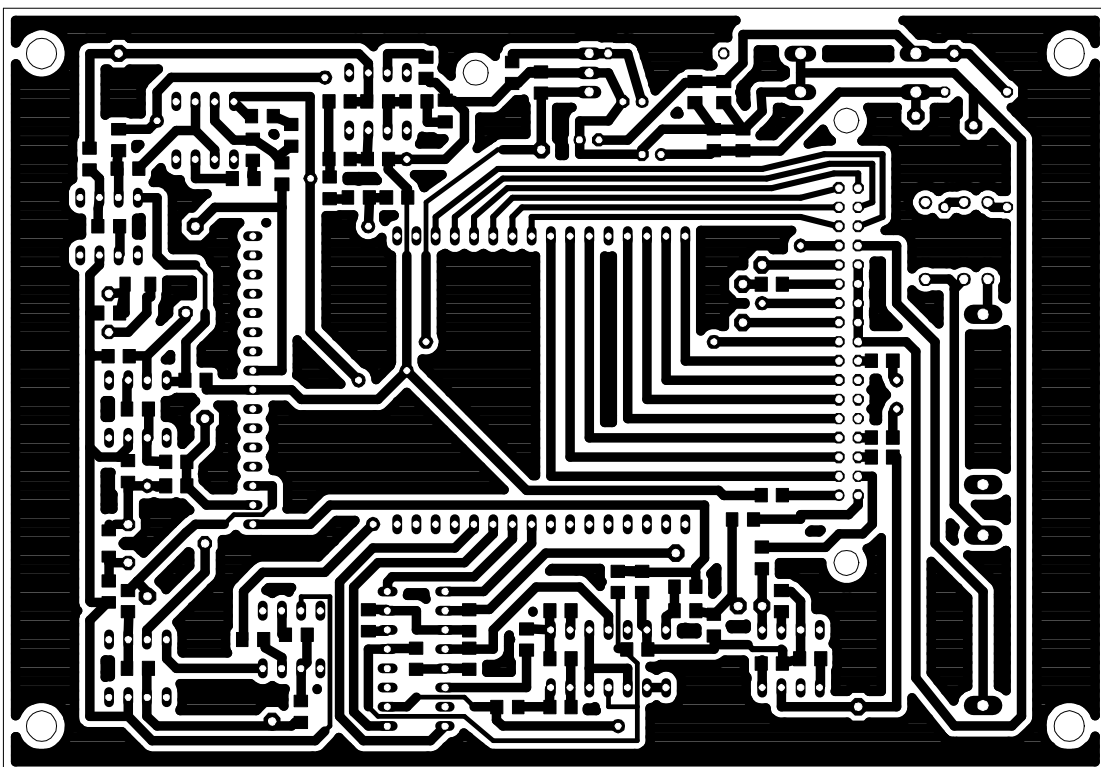
A.8. Osazovací plán hlavní desky (spodní strana)



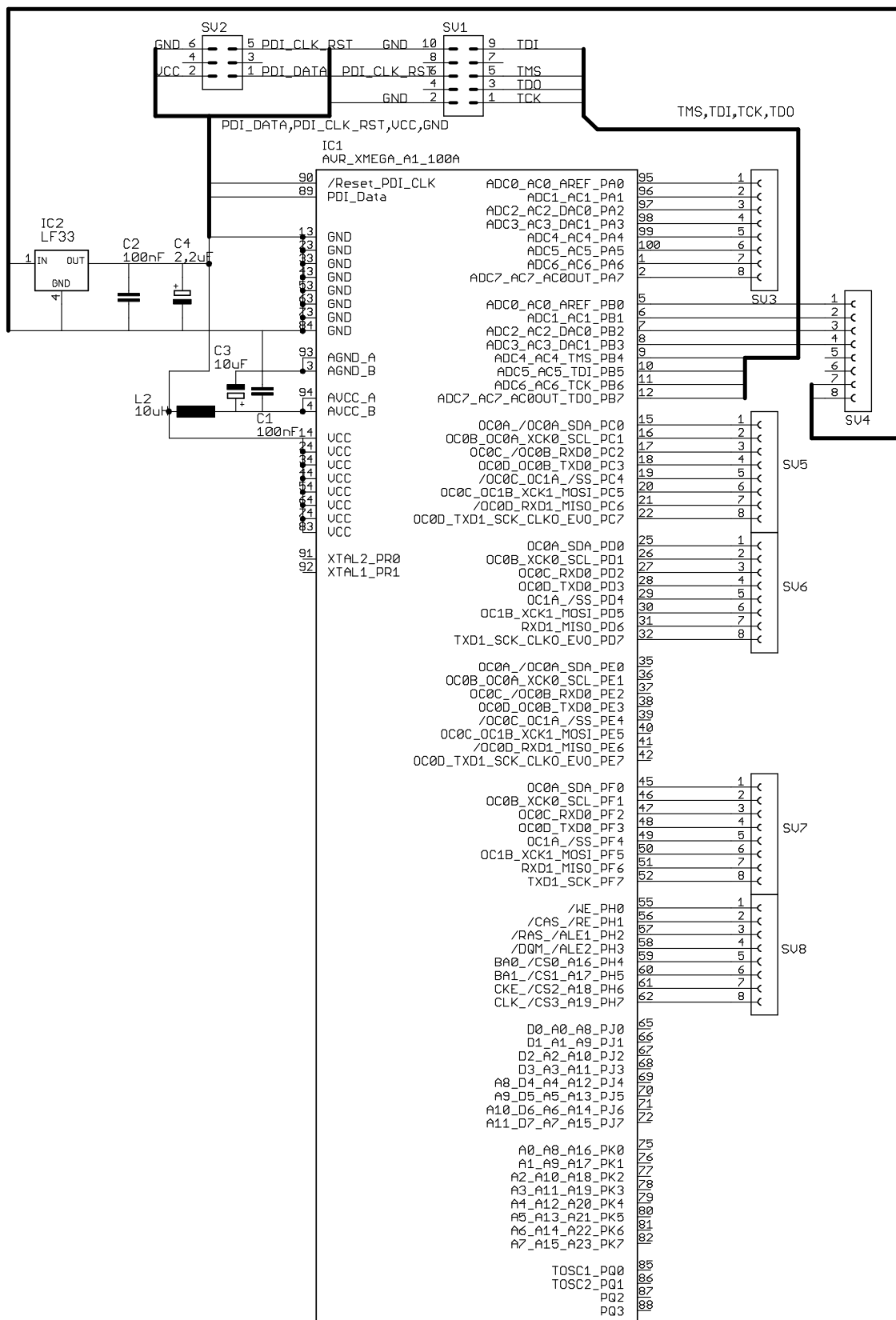
A.9. *Výkres plošných spojů hlavní desky (horní strana)*



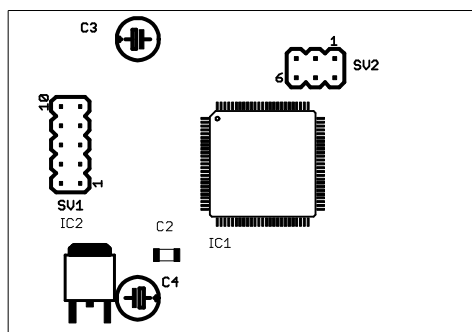
A.10. *Výkres plošných spojů hlavní desky (spodní strana)*



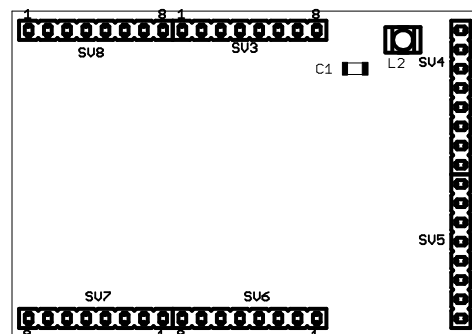
A.11. Schéma zapojení redukce mikroprocesoru



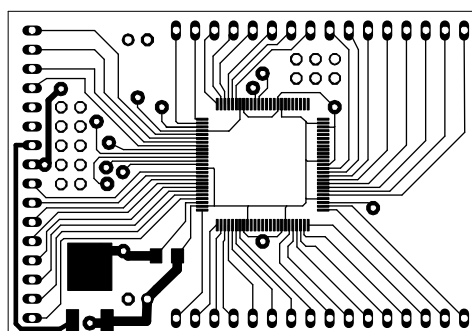
A.12. Osazovací plán redukce mikroprocesoru (horní strana)



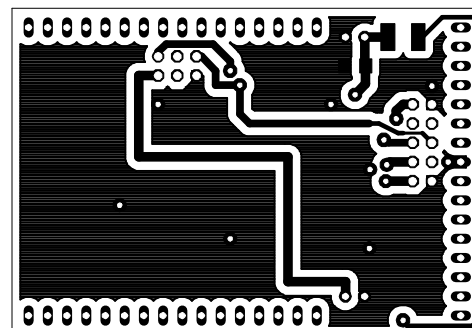
A.13. Osazovací plán redukce mikroprocesoru (spodní strana)



A.14. Výkres plošných spojů redukce mikroprocesoru (horní strana)



A.15. Výkres plošných spojů redukce mikroprocesoru (spodní strana)



B. Seznamy použitých součástek

B.1. Ovládací panel

Počet	Název	Číslo GME	Popis	Označení ve schématu
1x	MLW34G	800-053	vidlice 2x17 pinů	PL1
6x	P-DT6RT	630-042	tlačítko červené	S1, S2, S3, S4, S5, S6

B.2. Redukce mikroprocesoru

Počet	Název	Číslo GME	Popis	Označení ve schématu
8x	S1G20 2,54mm	832-017	konektorový kolík lámací	SV1, SV2, SV3, SV4, SV5, SV6, SV7, SV8
1x	E2M2/16VA	010-560	elektrol. kondenzátor 2,2μF/16V	C4
1x	E10M/16VM	123-048	elektrol. kondenzátor 10μF/16V	C3
1x	TL10μH SMD 10%	965-001	tlumivka 10μH	L2
1x	CK1206 100N/50V	905-114	ker. kondenzátor 100nF	C1, C2
1x	ATxmega128A1		ATxmega128A1	IC1
1x	LF33CDT	934-038	napěťový stabilizátor 3,3V 1A	IC2

B.3. Hlavní deska

Počet	Název	Číslo GME	Popis	Označení ve schématu
12x	R1206 1K0 1%	900-191	Rezistor SMD 1206 1k	R3, R4, R30, R31, R34, R35, R41, R42, R43, R44, R54, R55
1x	R1206 1K2 1%	900-274	Rezistor SMD 1206 1k2	R37
4x	R1206 2K2 1%	900-197	Rezistor SMD 1206 2k2	R5, R12, R17, R39
2x	R1206 2K7 1%	900-182	Rezistor SMD 1206 2k7	R8, R21
1x	R1206 3K9 1%	900-208	Rezistor SMD 1206 3k9	R46
1x	R1206 5K6 1%	900-176	Rezistor SMD 1206 5k6	R20
2x	R1206 6K8 1%	900-378	Rezistor SMD 1206 6k8	R26, R36
3x	R1206 8K2 1%	900-307	Rezistor SMD 1206 8k2	R16, R29, R57
3x	R1206 10R 1%	900-280	Rezistor SMD 1206 10R	R1, R11, R25
4x	R1206 10K 1%	900-179	Rezistor SMD 1206 10k	R13, R32, R61, R63
1x	R1206 12K 1%	900-193	Rezistor SMD 1206 12k	R22
1x	R1206 15K 1%	900-258	Rezistor SMD 1206 15k	R60
2x	R1206 22K 1%	900-224	Rezistor SMD 1206 22k	R27, R40
1x	R1206 56R 1%	900-296	Rezistor SMD 1206 56R	R19
1x	R1206 82K 1%	900-285	Rezistor SMD 1206 82k	R45
10x	R1206 100R 1%	900-192	Rezistor SMD 1206 100R	R33, R47, R48, R49, R51, R52, R53, R56, R58, R59
1x	R1206 180K 1%	900-189	Rezistor SMD 1206 180k	R50
1x	R1206 220R 1%	900-259	Rezistor SMD 1206 220R	R28
1x	R1206 270R 1%	900-270	Rezistor SMD 1206 270R	R62
1x	R1206 330R 1%	900-310	Rezistor SMD 1206 330R	R38
1x	R1206 390R 1%	900-332	Rezistor SMD 1206 390R	R2

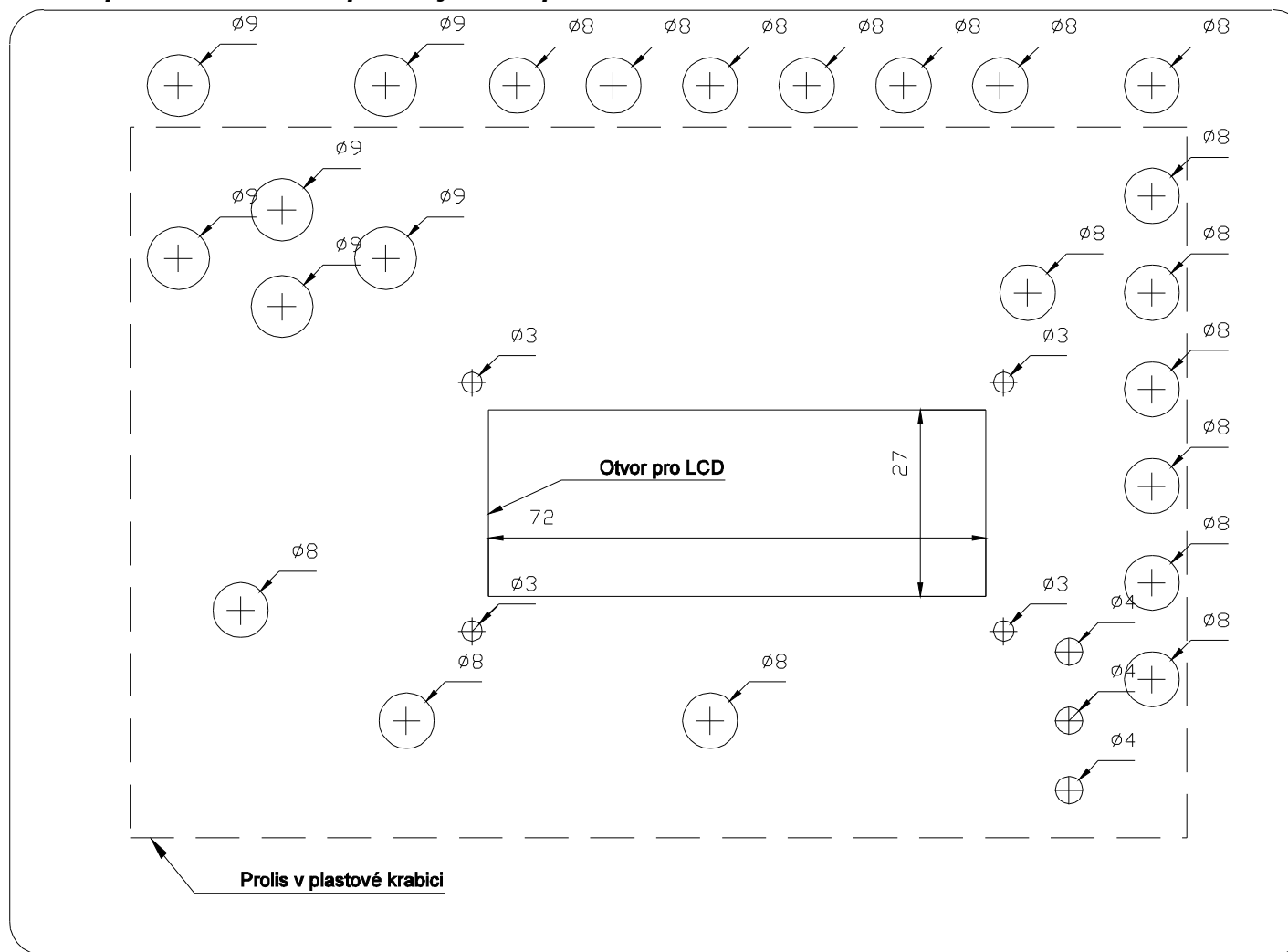
1x	CK1206 39P/50V	905-036	ker. kondenzátor 39pnF	C24
19x	CK1206 39P/50V	905-114	ker. kondenzátor 100nF	C3, C4, C5, C7, C8, C9, C10, C11, C12, C13, C14, C16, C17, C18, C19, C20, C21, C22, C23
3x	E100M/25V	123-117	elektrol. kondenzátor 10 μ F/16V	C1, C6, C15
1x	CK1206 330N/50V	905-144	ker. kondenzátor 330nF	C2
3x	CK1206 330P/50V	905-032	ker. kondenzátor 330pF	C25, C26, C27
3x	1N4007	220-002	Usměrňovací dioda 1N4007	D1, D4, D7
2x	1N5348B	222-176	Zenerova dioda 11V 1N5348	D5, D6
2x	BZV55C3.3SMD	919-045	Zenerova dioda 3,3V	D2, D3
1x	7805-STM	330-149	napěťový stabilizátor +5V	IC1
6x	LF356	311-006	integrováný obvod LF356	IC2, IC3, IC4, IC5, IC6, IC7
1x	ADG201		integrováný obvod ADG201	IC10
1x	TL064	311-011	integrováný obvod TL064	IC11
1x	LF398N	311-030	integrováný obvod LF398N	IC8
1x	SIL30PZ	824-021	měřicí body	LSP1, LSP2, LSP3, LSP4, LSP5, LSP6, LSP7, LSP8, LSP9, LSP10, LSP11, LSP12, LSP13, LSP14, LSP15, LSP16
2x	KS20-01	829-032	pojistkový držák	F1, F2
3x	BL20G	832-039	dutinková lišta jednořadá	IC9
1x	MLW34G	800-053	vidlice 2x17 pinů	PL1

B.4. Ostatní konstrukční součástky

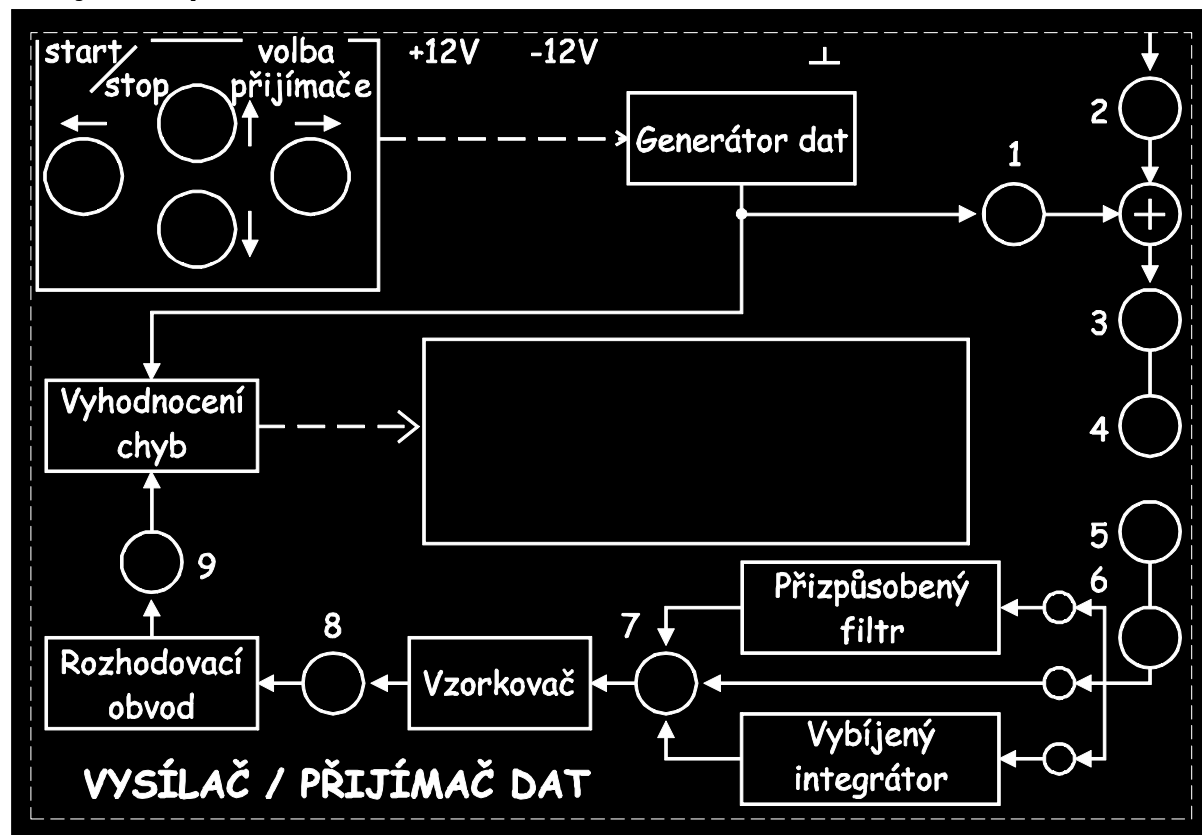
Počet	Název	Číslo GME	Popis
1x	U-KP22	622-423	Plastová krabice
1x	MC1602E-SYL	513-070	LCD 16x2
9x	SBZ WHITE	811-009	zdiřka pro banánek bílá
1x	SBZ RED	811-008	zdiřka pro banánek červená
4x	SBZ GREEN	811-007	zdiřka pro banánek zelená
1x	SBZ BLUE	811-006	zdiřka pro banánek modrá
2x	PFL34	800-012	konektor samořezný na plochý kabel
0,5m	AWG28-34H	650-049	plochý 34 žilový kabel

C. Konstrukční výkresy

C.1. Předloha pro vrtání otvorů přístrojového panelu

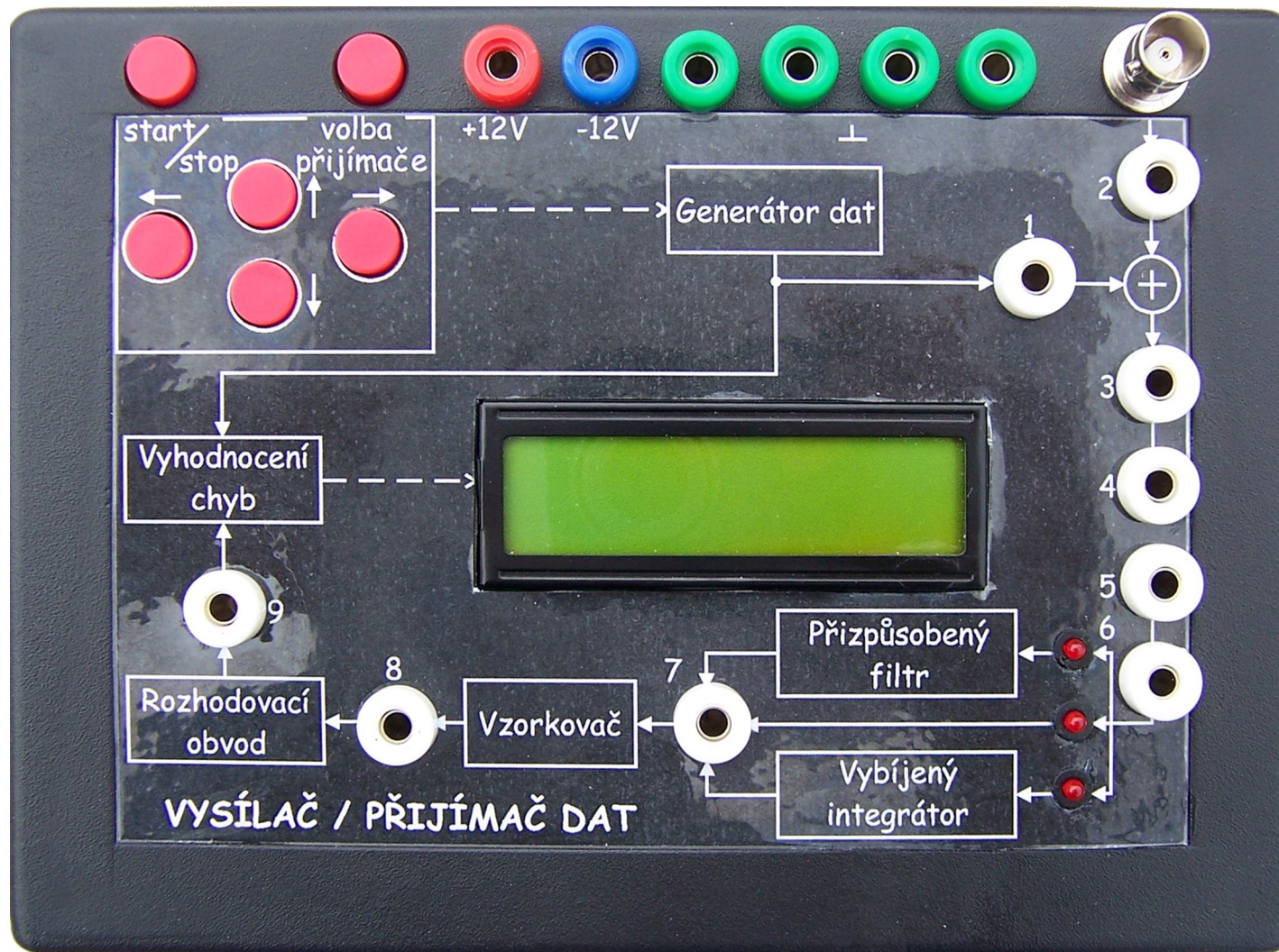


C.2. Potisk přístrojového panelu

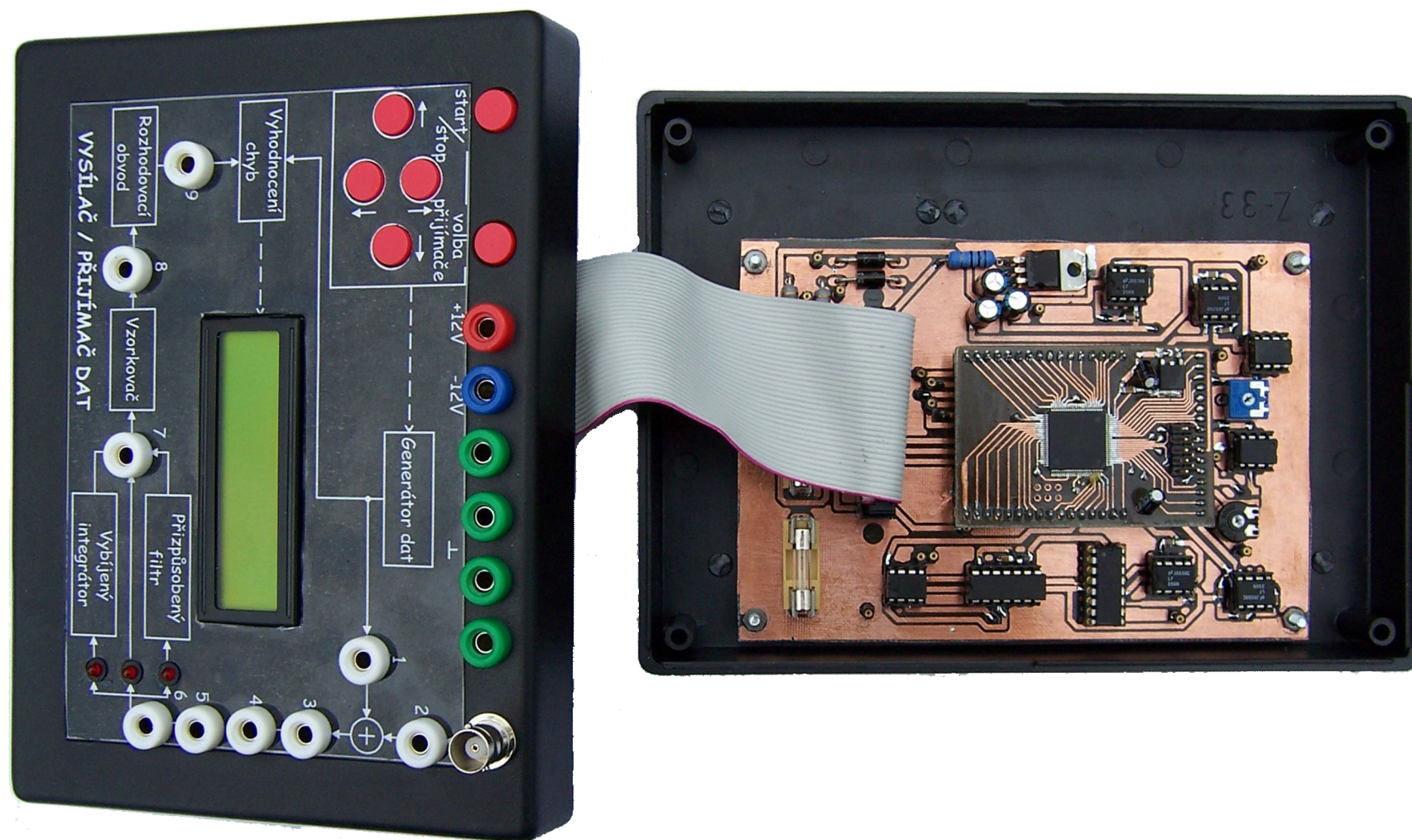


D. Obrázky realizovaného přípravku

D.1. Pohled na přístrojový panel



D.2. Pohled na přípravek v rozloženém stavu



E. Obsah přiloženého CD

Na přiloženém CD jsou uloženy všechny projekty týkající se diplomové práce. Mezi ně patří projekt programu pro mikroprocesor ATxmega128A1 vytvořený ve vývojovém prostředí AVR Studio 4 a projekty návrhu plošných spojů vytvořené v prostředí Eagle 5.09.